# 3/15
# Principes van ADC en DAC

## Inhoud

# 3/15.1

# Algemene inleiding en theorie

## Digitalisering van de elektronica

De tendens in de elektronica om steeds meer analoge systemen en schakelingen te digitaliseren heeft tot gevolg dat een groep schakelingen steeds belangrijker wordt: analoog naar digitaal omzetters, afgekort tot ADC's en digitaal naar analoog omzetters, afgekort tot DAC's.
ADC's zetten analoge informatie om in digitale codes, DAC's zetten deze digitale codes weer om in analoge signalen.

Deel 3/15 van dit handboek is geheel gewijd aan de principes waarmee ADC's en DAC's werken. In dit hoofdstuk 3/15.1 wordt een algemene inleiding gegeven in de theorie van analoog naar digitaal en digitaal naar analoog omzetting.

### Een voorbeeld

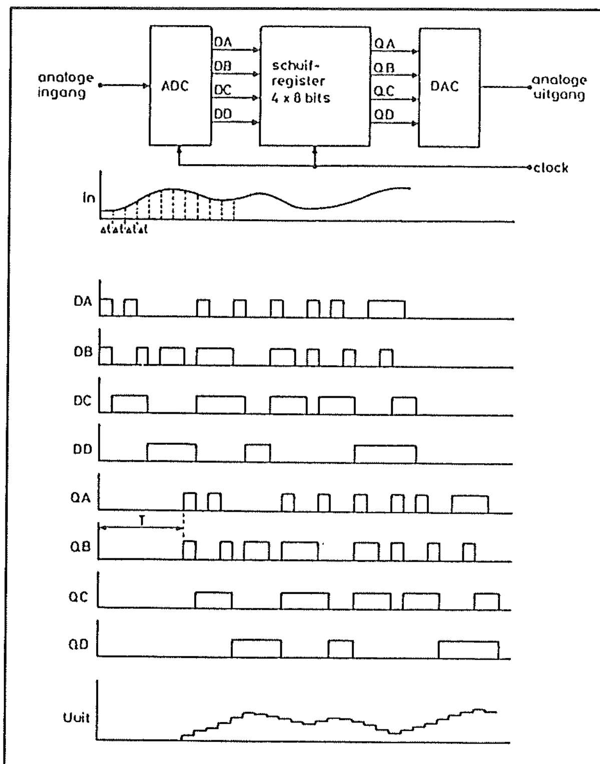
Waarom het zo voordelig is analoge schakelingen te vervangen door digitale equivalenten kan het best worden toegelicht aan de hand van een voorbeeld, een analoge vertragingslijn.
Een analoge vertragingslijn is een schakeling waarmee analoge signalen in de tijd vertraagd kunnen worden. Dergelijke schakelingen zijn bijvoorbeeld noodzakelijk in geluidsstudio's voor het kunstmatig opwekken van nagalm of echo. Maar ook in iedere kleuren-TV treft men een analoge vertragingslijn aan die tot taak heeft een bepaald signaal met de duur van één lijnbreedte te vertragen.
In het analoge tijdperk zou men een dergelijke schakeling samenstellen rond:
- een kristal vertragingslijn, waar de te vertragen signalen door middel van een soort luidsprekertje worden ingestuurd, de geluidsgolven zich met een bepaalde snelheid door het kristal voortplanten en aan het eind van de lijn met een soort microfoon weer in een vertraagd analoog signaal worden omgezet;
- een emmertjesgeheugen, waarbij het analoog signaal van condensator naar condensator wordt gepompt op het ritme van een kloksignaal en het aantal condensatoren de vertragingstijd bepaalt;
- een veersysteem, waar het signaal met behulp van een soort luidspreker wordt ingekoppeld, de trillingen zich door de windingen van de veer voortplanten en aan het andere uiteinde van de veer met een soort microfoon weer in een analoog signaal worden omgezet.
-

Al deze analoge systemen hebben vele nadelen. Zo zal het duidelijk zijn dat het omzetten van elektrische trillingen in mechanische trillingen en vice versa veel vervormingen veroorzaakt. Het zal ook wel

**15.1 Algemene inleiding en theorie**

duidelijk zijn dat het niet zo eenvoudig is de vertragingstijd in te stellen. Deze wordt immers volledig bepaald door de mechanische en fysische eigenschappen van het blok kristal of van de veer.
Deze nadelen kunnen prachtig opgelost worden door gebruik te maken van een digitaal systeem!

Het basisprincipe van een digitale vertragingslijn is geschetst in figuur 3/15.1-1.




**Figuur 3/15.1-1:** Het basisprincipe van een digitale vertragingslijn.

Het analoge ingangssignaal wordt door middel van een ADC omgezet in een aantal digitale codes $D_A$ tot en met $D_D$. De momentele samenstelling van deze codes is een maat voor de momentele grootte van het analoog signaal. Dat omzetten van het analoog signaal in digitale codes gebeurt uiteraard niet willekeurig, maar op regelmatige tijdintervallen Δt. De digitale signalen (in dit geval vier) worden aan een schuifregister aangeboden. Dat register bestaat uit een groot aantal in cascade geschakelde flip-flop's. De digitale codes worden op het ritme van een kloksignaal van de ene naar de andere flip-flop doorgekoppeld. Nadat de codes alle flip-flop's van het schuifregister hebben doorlopen zijn zij over een tijd T vertraagd. De uitgangssignalen $Q_A$ tot en met $Q_D$ van het register worden nu in een DAC weer omgezet in een analoog signaal.

Het zal duidelijk zijn dat de vertraging van een dergelijk digitaal systeem alleen afhankelijk is van de klokfrequentie van het systeem en van het aantal flip-flop's in het schuifregister. Hoe meer flip-flop's, hoe langer de vertraging. Het zal ook duidelijk zijn dat de kwaliteit van het systeem niet wordt beïnvloed door het aantal flip-flop's. Of men nu een schuifregister met 4 x 100 flip-flop's of 4 x 100.000 flip-flop's gebruikt, de digitale codes blijven identiek en worden niet extra vervormd.

Uit het voorbeeld blijkt nog een ander belangrijk gegeven. In de meeste gevallen werken een ADC en een DAC samen. Er zijn maar weinig systemen te verzinnen waarbij men of alleen een ADC of alleen een DAC toepast. Het heeft dus weinig zin de principes, eigenschappen en specificaties van ADC's en DAC's afzonderlijk te bespreken. In dit hoofdstuk zullen dan ook de specificaties van de combinatie ADC + DAC aan de orde komen.

**Kwantisering**
Mocht men nu menen dat ADC + DAC systemen geen nadelen hebben en geen signaalvervormingen veroorzaken, dan vergist men zich deerlijk!

## 15.1 Algemene inleiding en theorie

Een analoog signaal is per definitie een signaal waarvan de momentele grootte iedere waarde tussen een bepaald minimum en een bepaald maximum kan aannemen. Tussen deze twee grenzen bestaan er in principe een bijna oneindig aantal waarden en het analoog signaal kan op ieder tijdstip een van die bijna oneindig aantal waarden aannemen.
Een digitaal signaal is per definitie een signaal dat maar twee waarden kan aannemen: "L" of "H". Het zal dus duidelijk zijn dat ook een combinatie van een aantal digitale signalen maar een beperkt aantal combinaties van "L" en "H" kan bevatten. Zet men een analoog signaal dus om in een digitale code, hoe ingewikkeld ook van samenstelling, dan zal die digitale code de momentele waarde van het analoog signaal alleen maar kunnen benaderen! De in principe bijna oneindig aantal waarden van het analoog signaal moeten in een beperkt aantal digitale codecombinaties worden ondergebracht!

Dit grote verschil tussen analoog en digitaal is een van de belangrijkste eigenschappen van ADC- en DAC-systemen. Dat wordt samengevat met het begrip "kwantisatie". Het uitgangssignaal van een ADC is op ieder moment slechts een digitale benadering van het analoge ingangssignaal. Het zal dan ook wel duidelijk zijn dat, als deze benaderde codes weer via een DAC worden omgezet in een analoog signaal, dit herwonnen analoog signaal ook een benadering zal zijn van het oorspronkelijke analoog signaal.

### Kwantiseringsvervorming

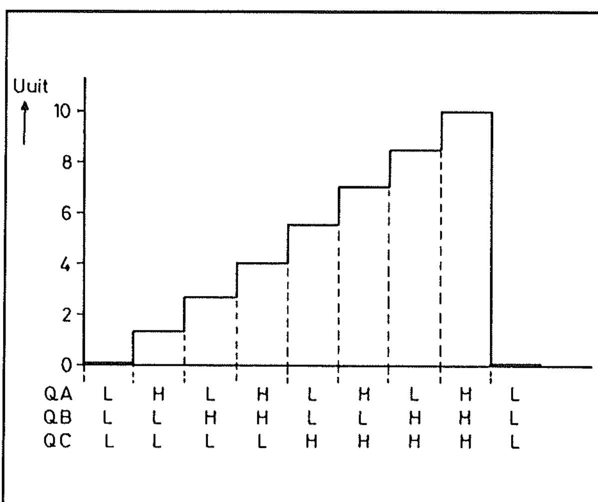
Tussen het originele analoog signaal en het herwonnen analoog signaal zal dus steeds een afwijking, een vervorming, bestaan. Deze vervorming kan wel geminimaliseerd worden, maar geheel verdwijnen zal deze nooit. Analoge signalen, die via ADC + DAC systemen weer in analoge signalen worden omgezet, worden dus per definitie vervormd!
Deze principe-gebonden vervorming wordt de kwantiseringsvervorming genoemd. Omdat deze vervorming zich in de praktijk meestal uit onder de vorm van een ruissignaal spreekt men ook wel eens van de kwantiseringsruis. Deze kwantiseringsruis is een van de belangrijkste specificaties van een ADC + DAC systeem en het verminderen van deze ruis is een van de grootste uitdagingen van iedere elektronicus die zich bezig houdt met het ontwerpen van ADC + DAC systemen.

### De gewogen waarden van digitale signalen

Met één digitaal signaal kan men alleen vaststellen of de waarde van een analoog signaal groter of kleiner is dan een bepaalde drempelwaarde. Als men een analoog signaal met grenzen 0 V en +10 V zou omzetten in een digitale code die uit slechts één bit bestaat, dan zou men kunnen afspreken dat dit bit "L" is als het analoog signaal kleiner is dan +5 V en "H" is als het analoog signaal gelijk is aan of groter is dan +5 V.
Zet men dit analoog signaal om in een digitale code die uit twee bits bestaat, dan zijn er al drie drempelwaarden in te voeren. Deze zou men gelijk kunnen stellen aan +2,5 V, +5 V en +7,5 V. De samenstelling van de code van de twee bits zou dan definiëren of de momentele waarde van het analoog signaal kleiner is dan +2,5 V, tussen +2,5 V en +5 V ligt, tussen +5 V en +7,5 V ligt of groter is dan +7,5 V.
Het analoog signaal wordt gekwantiseerd in vier zônes, die ieder door een eigen digitale code worden vast gelegd.

**15.1 Algemene inleiding en theorie**

Werkt men met een drie bit brede omzetter, dan ontstaat de situatie die geschetst is in figuur 3/15.1-2.
Er kunnen nu reeds zeven zônes gedefinieerd worden en in welke zône de momentele waarde van het analoog signaal ligt wordt bepaald door de samenstelling van de digitale code van de drie bits $Q_A$, $Q_B$ en $D_C$.




**Figuur 3/15.1-2:** De zeven kwantiseringszônes, waarin men het analoog signaal kan onderbrengen als men werkt met een omzetter met 3 bits.

Het zal echter duidelijk zijn dat de drie digitale signalen $Q_A$, $Q_B$ en $Q_C$ niet onderling verwisselbaar zijn! Ieder bit draagt immers op zijn eigen manier bij aan het bepalen in welke zône de momentele waarde van het analoog signaal ligt.
Deze onderlinge onverwisselbaarheid wordt uitgedrukt door aan de bits een "gewicht" toe te kennen.
Deze gewogen waarden, die aan de bits van de digitale code worden toegekend, verhouden zich onderling als machten van 2.

Samengevat:
- gewicht bit 0 = $2^0$ = 1;
- gewicht bit 1 = $2^1$ = 2;
- gewicht bit 2 = $2^2$ = 4;
- gewicht bit 3 = $2^3$ = 8;
- gewicht bit 4 = $2^4$ = 16;
- gewicht bit 5 = $2^5$ = 32;
- gewicht bit 6 = $2^6$ = 64;
- gewicht bit 7 = $2^7$ = 128;
- etc.

Het aantal drempelspanningen die vast leggen in hoeveel zônes men een analoog signaal kan kwantificeren wordt bepaald door de gewichten van de bits.
Het volstaat de gewichten bij elkaar op te tellen! In een drie bit breed systeem zijn er dus 1 + 2 + 4 = 7 drempels (zie ook figuur 3/15.1-2), waarmee men 8 kwantiseringszônes kan definiëren.

**LSB en MSB**

De gewichten van de bits bepalen daarnaast ook in welke mate de afzonderlijke bits invloed uitoefenen op de grootte van het herwonnen analoog signaal.
Hoe groter het gewicht van een bit, hoe meer invloed dat bit zal hebben op de herwonnen waarde van het analoog signaal.
In een 8 bit breed systeem heeft het achtste bit 128 keer meer invloed op de grootte van het herwonnen analoog signaal dan het eerste bit. Er zijn dus bits die belangrijker zijn dan andere bij het herwinnen van het analoog signaal.
Vandaar dat men spreekt van het "minst belangrijke bit" en van het "meest belangrijke bit". Deze termen wordt afgekort tot de Engelse letterwoorden "LSB" en "MSB".
Het LSB is het bit met het geringste gewicht, het MSB het bit met het meeste gewicht.

**15.1 Algemene inleiding en theorie**

# Algemene definities

**De woordlengte**

Met woordlengte wordt het aantal bits gedefinieerd dat gebruikt wordt om het analoog signaal om te zetten in een digitale code. Werkt men met een systeem met acht bits (een vaak gebruikte standaard) dan spreekt men van een woordlengte van 8 bit.

**De resolutie**

De resolutie van een ADC geeft aan in hoeveel kwantiseringszônes men het analoog signaal na digitalisatie kan onderbrengen.
Het zal duidelijk zijn dat een systeem met een woordlengte van 1 bit een resolutie heeft van 2. De resolutie kan berekend worden door het cijfer 2 te verheffen tot de macht van het aantal bits.
Een systeem met een woordlengte van 16 bit heeft dus een resolutie van $2^{16}$ = 65.536. Met een dergelijk systeem kan men de momentele waarde van de analoge spanning onderbrengen in 65.536 kwantiseringszônes.

**Het dynamische bereik**

Het dynamische bereik geeft de logaritmische verhouding weer tussen de minimale en de maximale signaalverandering die een DAC in het analoog signaal kan veroorzaken. De maximale signaalverandering ontstaat als alle bits opeens omschakelen van "L" naar "H". De minimale signaalverandering ontstaat als alleen het LSB omschakelt van "L" naar "H".
Het zal duidelijk zijn dat het dynamische bereik toeneemt naarmate er meer bits bij de omzetting betrokken zijn. Hoe groter de woordlengte, hoe groter het dynamische bereik!
Het dynamische bereik wordt uitgedrukt in dB en wordt ook wel eens de signaal-ruis verhouding van het systeem genoemd.

**De volle schaal spanning**

De volle schaal spanning geeft het verschil weer tussen:
- de analoge spanning die uit een DAC komt als alle bits "L" zijn;
- de analoge spanning die uit diezelfde DAC komt als alle bits "H" zijn.

Bij vele DAC's zijn deze twee spanningen gestandaardiseerd op 0 V en +10 V, zodat de volle schaal spanning van dergelijke schakelingen 10 V is.

**De bitgrootte**

De bitgrootte geeft aan met hoeveel volt het met een DAC terug gewonnen analoog signaal varieert als het LSB van "L" naar "H" springt. De bitgrootte en het dynamische bereik zijn dus in feite twee grootheden die hetzelfde fysische verschijnsel beschrijven.
Maar terwijl het dynamische bereik een verhouding weergeeft en dus onafhankelijk is van de maximale grootte van de terug te winnen spanning, is het alleen zinvol de bitgrootte op te geven als men weet wat de volle schaal spanning is die uit een DAC kan komen.
Een voorbeeldje. Als de volle schaal waarde van een DAC 10 V bedraagt en de woordlengte is 1 bit, dan zal de bitwaarde gelijk zijn aan 5 V.
Als de woordlengte 16 bit bedraagt, dan zal de bitwaarde slechts 152 μV bedragen!

Vaak noemt men de bitwaarde van het systeem "de LSB van het systeem".
Niet correct maar wel verklaarbaar, lees de definitie van het begrip nog maar eens na!

### Verband tussen woordlengte, resolutie, dynamisch bereik en bitwaarde

Het zal logisch zijn dat er tussen de vier genoemde grootheden een oorzakelijk verband bestaat. Dit verband is in de tabel van figuur 3/15.1-3 gegeven voor woordlengtes van 1 tot en met 16 bit.

| WOORD LENGTE | RESOLUTIE 1:2n | THEORETISCH MAXIMALE DYNAMISCH BEREIK | BITGROOTTE BIJ 10V VOLLESCHAAL SPANNING |
|---|---|---|---|
| 1 | 2 | 6dB | 5.0V |
| 2 | 4 | 12dB | 2.5V |
| 3 | 8 | 18dB | 1.25V |
| 4 | 16 | 24dB | 0.625V |
| 5 | 32 | 30dB | 0.312V |
| 6 | 64 | 36dB | 0.156V |
| 7 | 128 | 42dB | 78.1mV |
| 8 | 256 | 48dB | 39.1mV |
| 9 | 512 | 54dB | 19.5mV |
| 10 | 1024 | 60dB | 9.7mV |
| 11 | 2048 | 66dB | 4.8mV |
| 12 | 4096 | 72dB | 2.4mV |
| 13 | 8192 | 78dB | 1.2mV |
| 14 | 16384 | 84dB | 610uV |
| 15 | 32768 | 90dB | 305uV |
| 16 | 65536 | 96dB | 152uV |

**Figuur 3/15.1-3:** Het verband tussen de woordlengte, de resolutie, het dynamische bereik en de bitgrootte van DAC's.

# ADC beginselen

### Inleiding

Digitaliseren noemt men het omzetten van een analoge spanning in een digitale code. In principe zou men denken dat digitaliseren een probleemloos proces is. Men voert de analoge spanning toe aan de ingang van de ADC, op de uitgangen ontstaan de digitale codes die de momentele grootte van de analoge spanning representeren.
Niets is echter minder waar! Bij het digitaliseren van analoge signalen moet men met enkele wetmatigheden rekening houden, die in de volgende paragraafjes besproken worden.

### Het bemonsteren of samplen

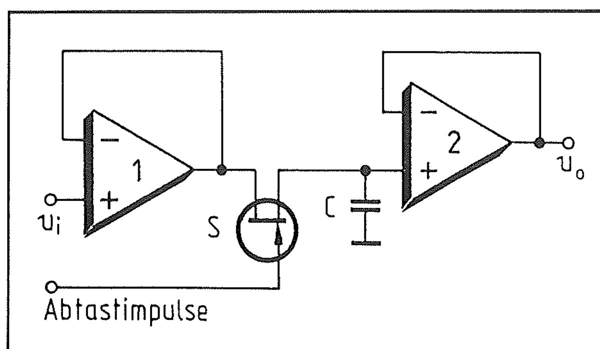
Op de eerste plaats is het een gegeven dat geen enkele ADC continu werkt. Zou men namelijk de digitale code op de uitgang zich continu laten aanpassen aan de grootteveranderingen van het analoge ingangssignaal, dan zou er een echte codechaos ontstaan op de uitgang van de omzetter. Het omzetten van de analoge spanning in een digitale code is een proces dat namelijk niet traagheidsloos verloopt. Deze conversie-tijd ligt zelfs bij de snelste omzetters in het µs-bereik. Bovendien zal het ene bit iets sneller reageren dan het andere. Zou men continu omzetten, dan zou men de digitale code per ongeluk kunnen uitlezen op het moment dat een of meerdere bits bezig zijn zich aan de nieuwe analoge ingangssituatie aan te passen. De code kan op dat moment volledig foute informatie bevatten.

Om deze problemen te voorkomen moet men het analoog signaal bemonsteren of samplen. Dat wil zeggen dat men op regelmatige tijdintervallen een monstertje neemt van de momentele waarde van het ingangssignaal, dit monstertje even opslaat in een analoog geheugen en nadien dit monster gaat omzetten in de bijbehorende digitale code. Men heeft dan geen last van de conversie-tijd, omdat de waarde van het monster constant blijft. Nadat de conversie-tijd van de ADC verstreken is en men zeker weet dat de digitale code zich aan de nieuwe waarde van het monster heeft aangepast, kan men de digitale code uitlezen en verder verwerken.
Nadien kan een nieuw monster worden genomen en kan men het proces herhalen.

**15.1 Algemene inleiding en theorie**

## De sample and hold

Het analoge geheugen, waarin het monster van het analoge ingangssignaal even wordt bewaard, wordt steeds uitgevoerd onder de vorm van een sample and hold, afgekort tot S&H.
Het basisprincipe van een S&H is getekend in figuur 3/15.1-4.




**Figuur 3/15.1-4:** Het basisschema van een S&H.

Het analoog signaal wordt aangeboden aan een als buffer geschakelde operationele versterker. De uitgang van de buffer gaat via een elektronische schakelaar, meestal uitgevoerd onder de vorm van een FET, naar een tweede buffer. Tussen de ingang van de buffer en de massa staat een condensator geschakeld. Als de elektronische schakelaar open wordt gestuurd, dan zal de condensator zich opladen tot de momentele waarde van de analoge ingangsspanning. Omdat de waarde van de condensator zeer klein is, zal het geen probleem zijn om de condensatorspanning de variatie op de ingangsspanning traagheidsloos te laten volgen. Opent men de elektronische schakelaar, dan wordt de verbinding tussen de uitgang van de eerste buffer en de ingang van de tweede buffer verbroken. Het gevolg is dat de condensatorspanning niet kan afvloeien en tamelijk constant blijft. Uiteraard zal er wel iets lading weglekken via de zeer hoge ingangsimpedantie van de tweede buffer en via allerlei lekweerstanden in de schakeling. Maar omdat het bemonsteren redelijk snel gaat kan men stellen dat gedurende de sample-tijd de spanning over de condensator gelijk blijft aan de momentele waarde van het ingangssignaal op het moment dat de schakelaar geopend werd.

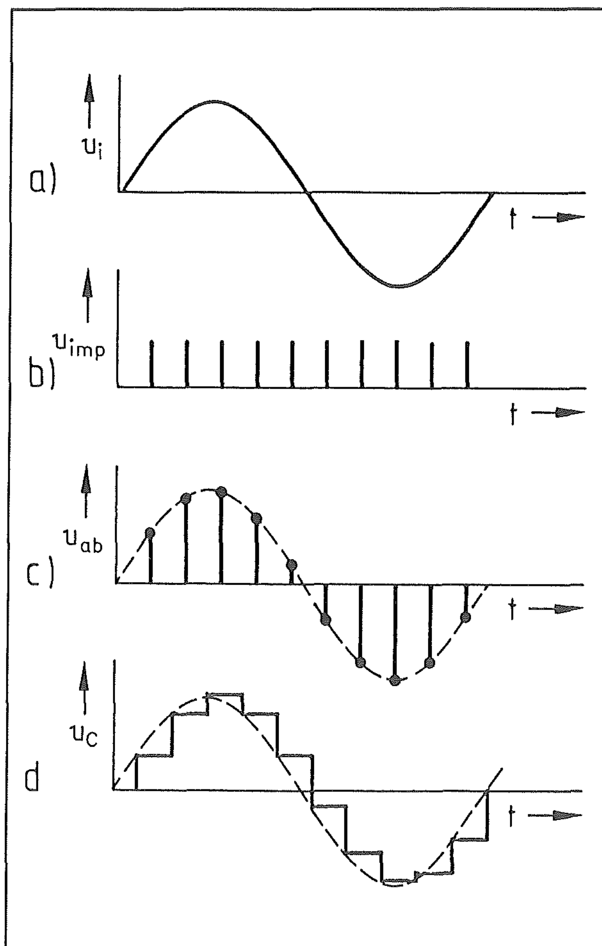
Behalve als men zeer traag variërende analoge spanningen moet digitaliseren (bijvoorbeeld de meetwaarden van een elektronische druksensor) zal men steeds een S&H tussen de analoge ingangsspanning en de analoge ingang van de ADC moeten opnemen.

## De sample-frequentie

Het digitaliseren van een analoge spanning is dus geen continu proces, maar een proces dat gestuurd wordt door een externe klokpuls. De frequentie van dit kloksignaal noemt men de sample-frequentie. Deze frequentie bepaalt dus hoeveel samples er per seconde van de analoge ingangsspanning worden genomen en hoeveel verschillende digitale codes er op de uitgang van de ADC per seconde zullen ontstaan.

Een belangrijke vraag daarbij is hoeveel monsters er per seconde genomen moeten worden. Het zal wel duidelijk zijn dat de kwaliteit van het systeem verbetert naarmate er meer monsters genomen worden. Vandaar dat men alleen geïnteresseerd is in de vraag hoe weinig monsters er genomen kunnen worden om er toch nog zeker van te zijn dat de digitale codes later in een DAC omgezet kunnen worden in een analoog signaal dat gelijkt op het analoog signaal aan de ingang van de ADC.

In figuur 3/15.1-5 is het ADC + DAC procédé nog eens grafisch samengevat. Van één periode a) van een sinusvormig signaal worden tien monsters b) genomen. Men kan dus in dit voorbeeld stellen dat de sampling-frequentie tien maal groter is dan de signaalfrequentie. In grafiek c) zijn deze tien digitale monsters voorgesteld door de optelsom van hun gewogen waarden.




**Figuur 3/15.1-5:** Het volledige ADC + DAC procédé aanschouwelijk grafisch samengevat.

Als men nadien deze monsters aanlegt aan de digitale ingangen van een DAC dan ontstaat op de analoge uitgang van de DAC het signaal d). De originele periode van de sinus wordt benaderd door tien opeenvolgende stapspanningen. Het algemeen verschijnsel van ADC + DAC dat de reeds genoemde kwantiseringsvervorming veroorzaakt! In het getekende voorbeeld kan men uit deze stapvormige benadering zonder al te veel fantasie de vorm van het originele signaal herkennen. Men kan echter niet grenzeloos verder gaan met het reduceren van de sampling-frequentie.

**Het sampling theorema**

Wiskundig kan berekend worden dat de sampling-frequentie minstens twee maal zo groot moet zijn als de hoogste frequentie in het analoog signaal. Deze algemene wet staat bekend als het "sampling theorema". Sampelt men met een lagere frequentie, dan is het absoluut onmogelijk om de vorm van het originele analoog signaal uit de opeenvolgende digitale samples terug te winnen.

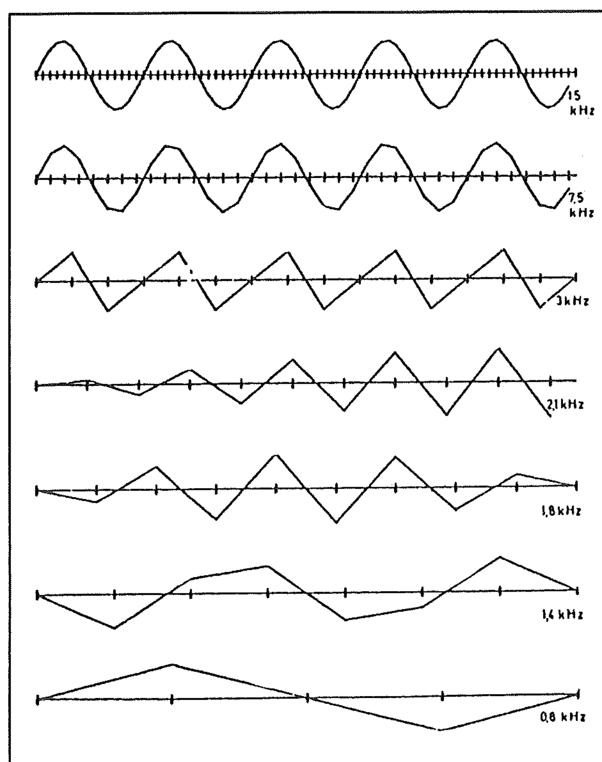
Hoewel het in het kader van een naslagwerk voor de hobbyist veel te ver zou gaan om dit wiskundig bewijs te leveren, kan men dit effect ook heel dramatisch grafisch aantonen.

In figuur 3/15.1-6 wordt een sinusvormige analoge spanning met een frequentie van 15 kHz gesampeld met een frequenties die steeds kleiner worden. Als men nadien de opeenvolgende digitale codes met een DAC omzet in een analoge spanning ontstaat een signaal dat een stapvormige benadering van het sinussignaal zou moeten zijn.

Dat klopt nog vrij aardig als men sampled met een frequentie van 7,5 kHz. Maar naarmate de sample-frequentie steeds lager wordt zal het herwonnen analoog signaal steeds minder op de originele sinus

**15.1 Algemene inleiding en theorie**

gaan lijken. Bij zeer lage frequenties is het herwonnen signaal zelfs niet eens meer als sinus herkenbaar, maar wordt het een driehoek!




**Figuur 3/15.1-6:** Het sampling theorema grafisch toegelicht.

Deze veel lagere frequentie noemt men de "alias frequentie" en de grote vervorming die in dit geval ontstaat de alias vervorming.

**Anti-alias filter**
Kans op alias vervorming is steeds aanwezig als men sampled met een frequentie die lager is dan 2 x de hoogste signaalfrequentie. Als men een ingangssignaal heeft met bekende frequentie kan men deze alias vervorming vermijden door de sample-frequentie minstens twee maal hoger te kiezen.

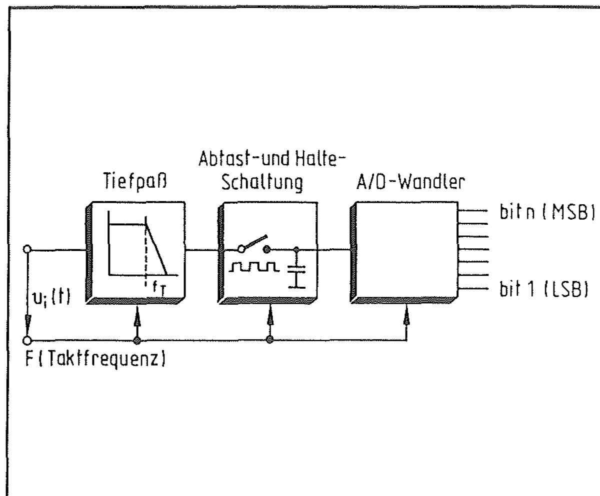
Maar wat als men niet weet wat de hoogst mogelijke signaalfrequentie is die in het analoog signaal kan optreden? Men moet er dan kunstmatig voor zorgen dat de frequentieband van het analoog ingangssignaal nooit groter kan zijn dan een bekende waarde. Men kan dan de samplefrequentie instellen op twee maal deze bekende waarde.

Het beperken van de bandbreedte van een analoog signaal kan door gebruik te maken van een zeer scherp afsnijdend laagdoorlaatfilter.
Dit filter wordt gedefinieerd door een bepaalde afsnij-frequentie $f_0$.
Het filter laat alle signalen met een frequentie kleiner dan deze afsnijfrequentie door en spert alle signalen die een frequentie hebben die hoger is dan de afsnijfrequentie.
Dit laagdoorlaatfilter wordt in de ADC + DAC terminologie het anti-alias filter genoemd. Een logische naam, want dank zij dit filter heeft men geen last meer van alias vervorming. Het volstaat de samplefrequentie gelijk te maken aan 2 x $f_0$ van het filter.

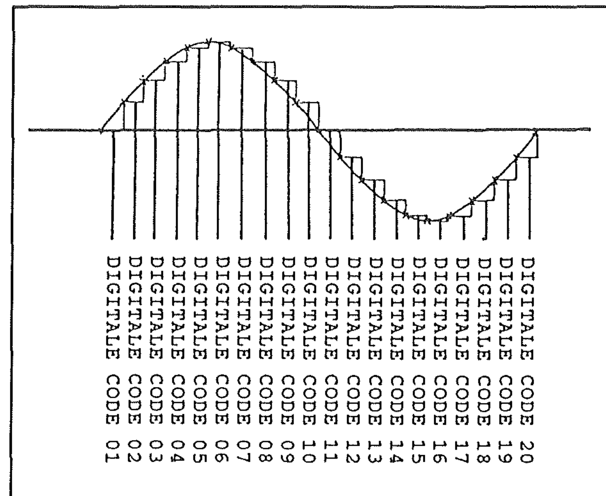
**Blokschema van een ADC-systeem**
Het uiteindelijke blokschema van een bruikbare analoog naar digitaal omzetter is getekend in figuur 3/15.1-7 en ziet er heel wat ingewikkelder uit dan in eerste instantie werd vermoed!

Het te digitaliseren analoog signaal wordt eerst door het anti alias filter gevoerd en gaat vervolgens naar de S&H. De uitgang van deze schakeling gaat naar de analoge ingang van de ADC.
De S&H en de ADC worden gestuurd door een extern kloksignaal dat de sample-frequentie vast legt.

**15.1 Algemene inleiding en theorie**




**Figuur 3/15.1-7:** Het blokschema van een praktische analoog naar digitaal omzetter.



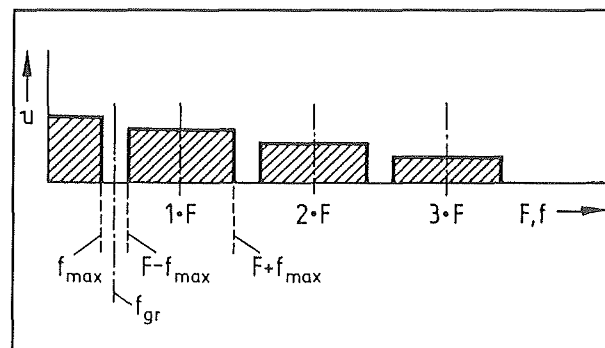

**Figuur 3/15.1-8:** De trapvormige benadering, eigenschap van iedere DAC.

Dit blokschema is het algemene blokschema voor iedere analoog naar digitaal omzetting en zal in iedere toepassing onder de een of de andere vorm worden teruggevonden!

# DAC beginselen

**De kwantiseringsruis**
In figuur 3/15.1-8 is nog eens het uit een DAC herwonnen analoog signaal getekend. Duidelijk blijkt de trapvormige benadering, eigenschap van iedere digitalisatie.

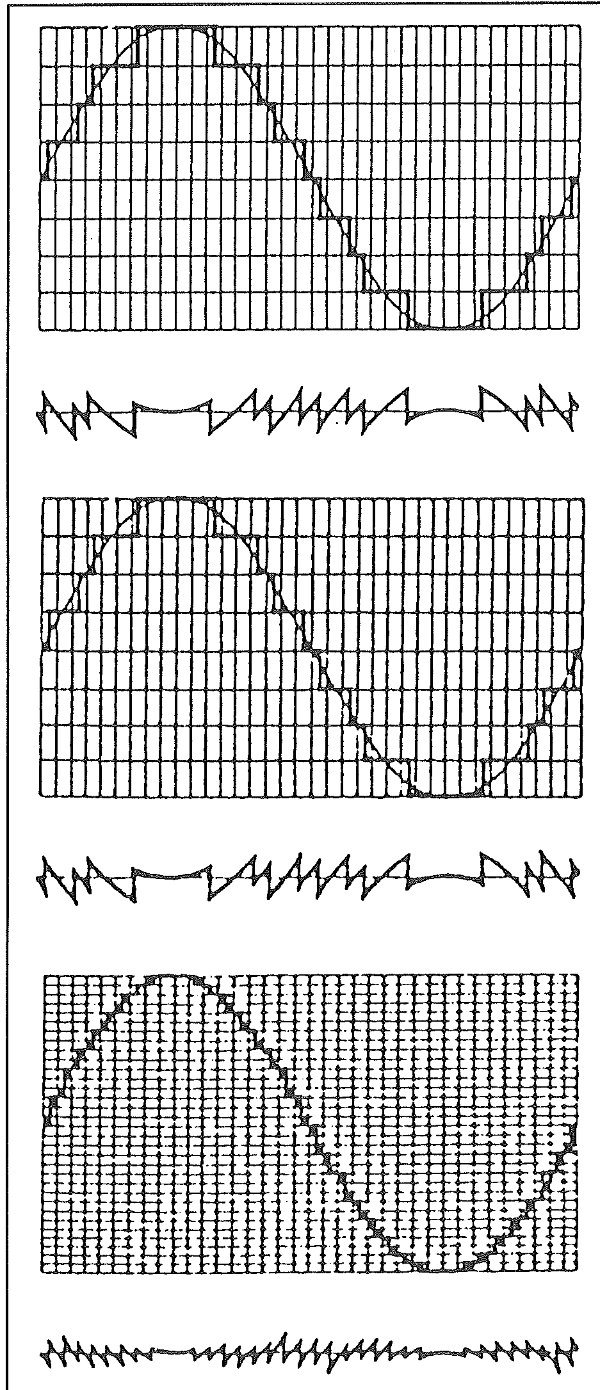
Deze trapvormige benadering introduceert een vervorming in het analoog signaal, de reeds genoemde kwantiseringsvervorming of kwantiseringsruis.
Het zal duidelijk zijn dat deze vervorming herleid kan worden tot signalen met hoge frequenties, die gemengd zijn met het basis analoog signaal. Vandaar dat dit verschijnsel zich uit onder de vorm van hoogfrequente ruis.




**Figuur 3/15.1-9:** Het frequentiespectrum van het herwonnen analoog signaal bevat zeer veel hogere harmonischen.

Als men het frequentiespectrum van een herwonnen analoog signaal zou opmeten, ontstaat het beeld van figuur 3/15.1-9. Hierbij is F de basisfrequentie van het analoog signaal. Het frequentiespectrum bestaat uit zijbanden rond iedere hogere harmonische van de grondfrequentie. Er ontstaan dus zijbanden rond F, rond 2.F, 3.F, etc. De amplitude van deze hogere harmonischen neemt wel af naarmate de frequentie ervan stijgt.

## 15.1 Algemene inleiding en theorie



**Figuur 3/15.1-10:** De invloed van de woordlengte op de kwantiseringsruis.

### Invloed van de woordlengte op de kwantiseringsruis

In figuur 3/15.1-10 is getekend hoe de woordlengte van het digitaliseringsproces de grootte van de kwantiseringsruis beïnvloedt.

Uit deze grafieken blijkt duidelijk dat de kwantiseringsruis kleiner wordt als met meer bits wordt gedigitaliseerd. Bovendien blijkt hieruit evenzo dat de frequentie van de kwantiseringsruis stijgt met het aantal bits.

### Post-processing filter

Bij bepaalde toepassingen kan men erg veel last hebben van de kwantiseringsruis. Bij audio-toepassingen, bijvoorbeeld, zal deze ruis hinderlijk hoorbaar zijn. Maar het kan ook voorkomen dat de hoge harmonischen, waaruit de kwantiseringsruis bestaat, gaan interfereren met andere frequenties als men het herwonnen analoog signaal verder gaat verwerken. Zou men bijvoorbeeld het onbewerkte herwonnen analoog signaal dat uit een CD-speler komt opnemen op een kassetterecorder, dan zouden een of meerdere frequenties van de kwantiseringsruis kunnen gaan interfereren met de frequentie van de voormagnetisatie van de band. Het gevolg zou zijn dat men een hinderlijke fluittoon zou horen als men dit signaal nadien weer zou afspelen.
Het zal dus duidelijk zijn dat men deze kwantiseringssignalen uit het signaal wil verwijderen.
Dat kan door gebruik te maken van een laagdoorlaatfilter. De afsnijfrequentie van dit filter moet boven de doorlaatband van het laagfrequent signaal liggen en het filter moet zo steil afsnijden dat de eerste harmonische met meerdere tientallen dB verzwakt wordt. Dit filter noemt men het post-processing filter en men zal dit filter bij iedere praktische DAC-schakeling aantreffen. Dit filter zorgt er, door het onderdrukken van de hogere harmonischen,

voor dat de trapvormige benadering wordt afgevlakt en dat het herwonnen uitgangssignaal meer lijkt op het originele analoog signaal.

## De deglitcher

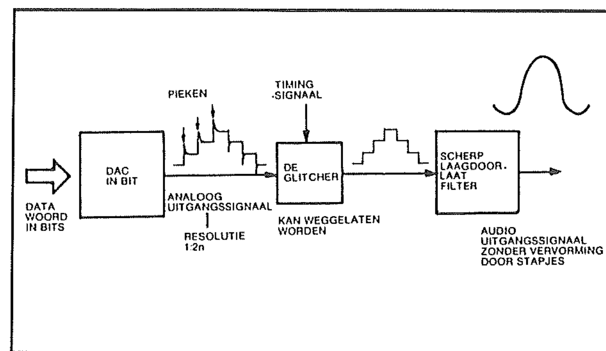
Bij het omschakelen van de ene digitale code naar een andere kan het gebeuren dat de analoge uitgangsspanning even niet goed gedefinieerd is.
Dit uit zich in smalle stoorpulsen op de analoge uitgangsspanning. Deze pulsen ontstaan door signaalvertragingen in de DAC, waardoor niet alle niveauwijzigingen van de bits even snel worden verwerkt. Als bijvoorbeeld de digitale code van een vier bit brede DAC omschakelt van "L-H-H-H" naar "H-L-L-L", dan zal de analoge uitgangsspanning met slechts één stapwaarde stijgen. Maar bij deze stap schakelen wel alle bits van niveau om. Zeker bij dergelijke codetransformaties kan men er zeker van zijn dat stoorpulsen op de uitgang ontstaan.

Deze smalle pulsen noemt men glitches. Het zal duidelijk zijn dat deze glitches zeer veel hoge harmonischen bevatten en zeer storend kunnen zijn bij de verdere verwerking van het analoog signaal.

Om deze glitches uit het terug gewonnen analoog signaal te verwijderen zal men in de meeste gevallen de DAC afsluiten met een deglitcher, een speciale schakeling die deze stoorpulsen uit het signaal verwijdert.
Er zijn zelfs DAC's die zijn voorzien van een ingebouwde deglitcher.

## Blokschema van een DAC-systeem

Het blokschema van een praktisch bruikbaar DAC-systeem is dus ook ingewikkelder dan men in eerste instantie zou vermoeden. Dit is getekend in figuur 3/15.1-11.




**Figuur 3/15.1-11:** Het blokschema van een praktisch bruikbaar DAC-systeem.

## Soorten DAC's

Een DAC bestaat steeds uit:
- een referentiespanningsbron, die een zeer nauwkeurige en stabiele spanning genereert;
- de eigenlijke omzetter die de binaire code omzet in een stroom die uit deze referentiespanning wordt afgeleid en die proportioneel is met het somgewicht van de binaire signalen;
- een operationele versterker, geschakeld als stroom naar spanning omzetter, die deze stroom omzet in een uitgangsspanning, het herwonnen analoog signaal.

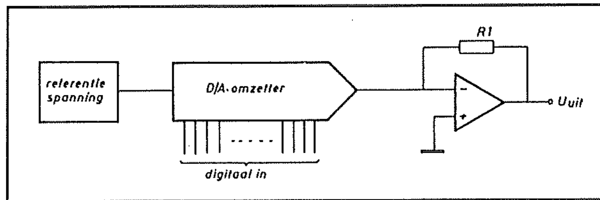
Men onderscheidt drie soorten DAC's en dat onderscheid heeft te maken met de manier waarop de digitale code op de ingangen zich verhoudt tot de analoge uitgangsspanning:
- de unipolaire DAC;
- de bipolaire of offset binair gecodeerde DAC;
- de sign-magnitude gecodeerde DAC.

Deze drie principes worden in de volgende paragrafen in het kort besproken.

**15.1 Algemene inleiding en theorie**

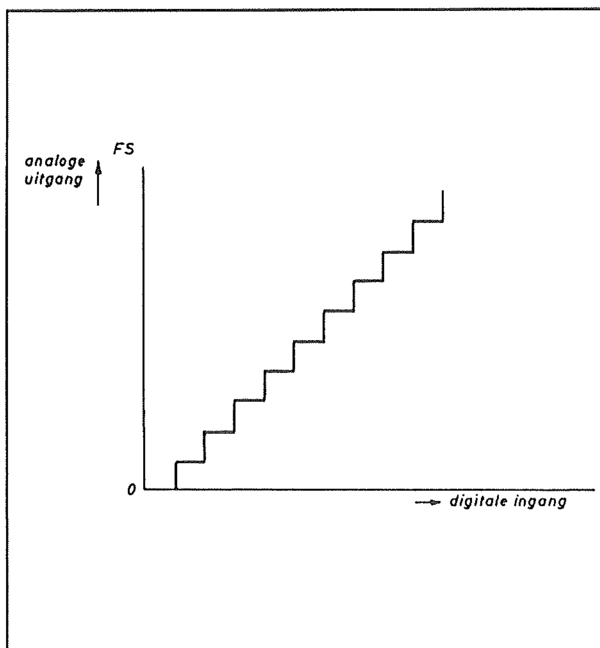
## De unipolaire DAC

Het blokschema van de unipolaire DAC is getekend in figuur 3/15.1-12.




**Figuur 3/15.1-12:** Het blokschema van de unipolaire DAC.

De analoge uitgang van dit soort DAC zal 0 V bedragen als alle bits "L" zijn en stijgen tot een bepaalde positieve of negatieve einde schaal waarde als alle bits "H" zijn. Omdat de uitgangsspanning alleen positief of negatief kan zijn, noemt men dergelijke DAC's unipolair.




**Figuur 3/15.1-13:** De uitgangsspanning van een positieve unipolaire DAC in functie van de codesamenstelling van het digitale woord.

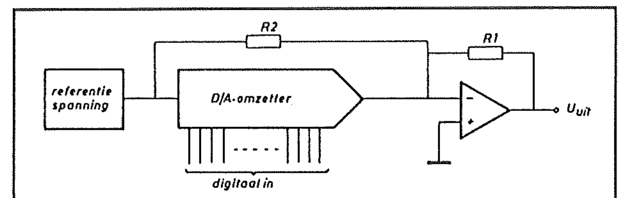
In figuur 3/15.1-13 is de relatie tussen analoge uitgangsspanning en codering van een positieve unipolaire DAC getekend.

Als men de digitale code alle opeenvolgende codes van "L-L-L-..." tot en met "H-H-H-..." laat doorlopen, dan stijgt de analoge uitgangsspanning trapvormig van 0 V tot de einde schaal waarde.

## De bipolaire DAC

Bij een bipolaire DAC kan de analoge uitgangsspanning zowel negatief als positief zijn.

Het algemene blokschema van een bipolaire DAC is getekend in figuur 3/15.1-14.

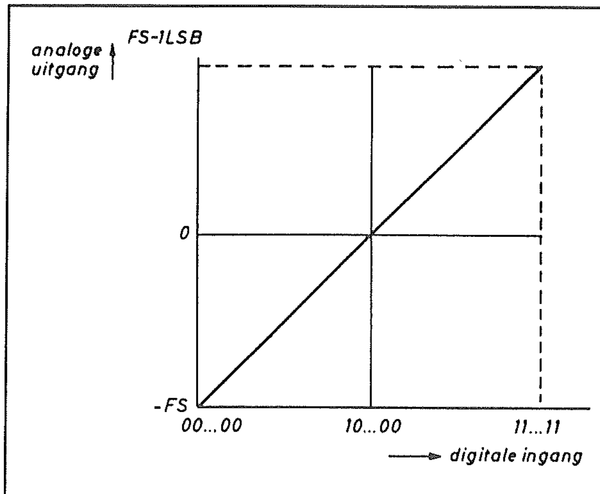



**Figuur 3/15.1-14:** Het algemene blokschema van een bipolaire DAC.

Door het aanbrengen van een weerstand tussen de uitgang van de referentiespanning en de ingang van de stroom naar spanning omzetter wordt een offset geïntroduceerd, die het nulpunt van de schakeling naar het midden van het bereik verschuift. De analoge uitgangsspanning zal dus 0 V bedragen als de digitale code op de ingangen gelijk is aan "H-L-L-L-...". Als dit werkelijk het geval is, dan spreekt men van een offset binair gecodeerde DAC.

De uitgangskarakteristiek van een offset binair gecodeerde DAC is getekend in figuur 3/15.1-15.

**15.1 Algemene inleiding en theorie**

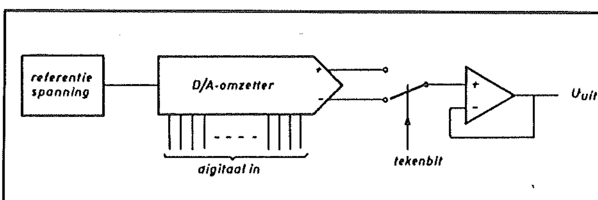



**Figuur 3/15.1-15:** De uitgangskarakteristiek van een offset binair gecodeerde of bipolaire DAC.

Merk op dat een dergelijke schakeling niet geheel en al symmetrisch werkt! Als de digitale code gelijk is aan "L-L-L-L-...", dan zal de analoge uitgangsspanning gelijk zijn aan -FS, de negatieve volle schaal waarde. Is echter de codesamenstelling gelijk aan "H-H-H-H-...", dan is de analoge uitgangsspanning gelijk aan +FS - 1.LSB. De positieve volle schaal waarde is dus één bitgrootte kleiner dan de negatieve volle schaal waarde.

**De sign-magnitude gecodeerde DAC**

Het blokschema van de sign-magnitude gecodeerde DAC is getekend in figuur 3/15.1-16.




**Figuur 3/15.1-16:** Blokschema van een sign-magnitude gecodeerde DAC.

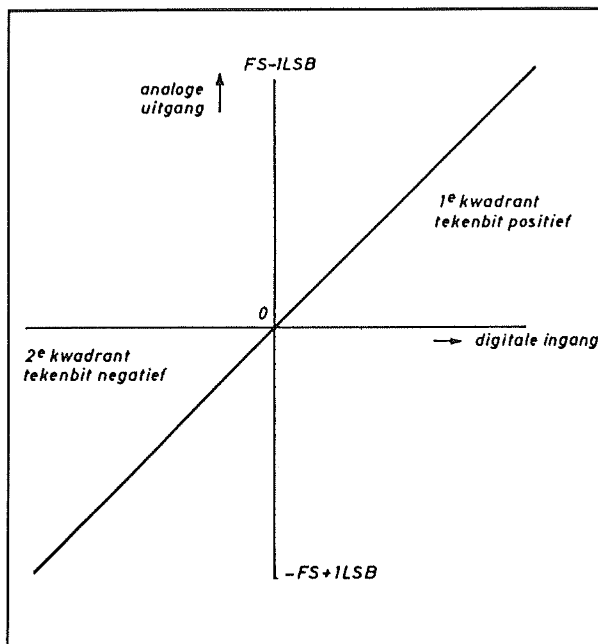
Aan de omzetter wordt een digitale code aangelegd, waarvan de volle breedte wordt gebruikt voor het bepalen van de absolute waarde van de analoge uitgangsspanning. Daarnaast staat echter nog een extra bit ter beschikking, het polariteitsbit, dat via een elektronische omschakelaar de ingang van de stroom naar spanning omzetter verbindt met óf de positieve óf de negatieve uitgang van de eigenlijke omzetter. Door het omschakelen van dit polariteitsbit wordt de stroom naar spanning omzetter gestuurd uit een even grote stroom, maar met de tegengestelde polariteit. Het gevolg is dat het tekenbit de polariteit van de analoge uitgangsspanning bepaalt.

De uitgangskarakteristiek van een sign-magnitude gecodeerde DAC is getekend in figuur 3/15.1-17. Deze toont grote gelijkenis met deze van de bipolaire DAC. Maar er zijn toch enige wezenlijke verschillen! Op de eerste plaats verloopt de grafiek echt symmetrisch. De maximale positieve spanning en de minimale negatieve spanning zijn precies aan elkaar gelijk. Een tweede verschil is dat de analoge nul overeen komt met de digitale nul. De DAC levert 0 V aan de uitgang als de digitale code gelijk is aan "L-L-L-L-...".
Hoewel deze verschillen misschien ver gezocht lijken, zijn er tal van toepassingen te bedenken waarbij deze minimale verschillen tussen een bipolaire en een sign-magnitude gecodeerde DAC zeer belangrijk zijn.
De sign-magnitude gecodeerde DAC's worden dan ook steeds belangrijker in de elektronica!

Het enige nadeel van dergelijke schakelingen is dat zij twee analoge nullen hebben, een "positieve nul" en een "negatieve

**15.1 Algemene inleiding en theorie**

nul". Als de binaire code op de ingangen gelijk is aan "L-L-L-L-...", dan maakt het voor de analoge uitgangsspanning niet uit of het polariteitsbit "L" of "H" is. In beide gevallen is de uitgangsspanning gelijk aan 0 V.

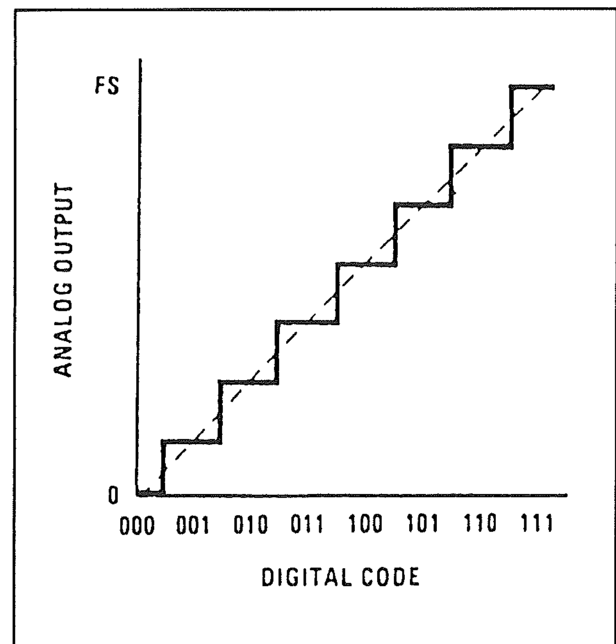



**Figuur 3/15.1-17:** De uitgangskarakteristiek van een sign-magnitude gecodeerde DAC.

# Specificaties van ADC's en DAC's

## Inleiding

Als men aan een ADC een perfect zaagtandvormig verlopende ingangsspanning legt en de uitgangscodes toevoert aan een DAC, dan moet de uitgangsspanning van de DAC de zaagtand zo perfect mogelijk benaderen. In de praktijk is dat niet zo vanwege de reeds genoemde trapvormige benadering en de daaruit voortvloeiende kwantiseringsvervorming. Daar is nu eenmaal niets aan te doen, want dit verschijnsel is eigen aan het gebruikte procédé.
De ideale weergave van een ADC + DAC systeem met een zaagtand op de ingang is getekend in figuur 3/15.1-18. De zaagtand is gestippeld getekend, de trapvormige benadering aan de uitgang van de DAC verloopt keurig symmetrisch ten opzichte van de zaagtand.




**Figuur 3/15.1-18:** De meest ideale reconstructie van een zaagtandvormige spanning door middel van een ADC + DAC systeem.

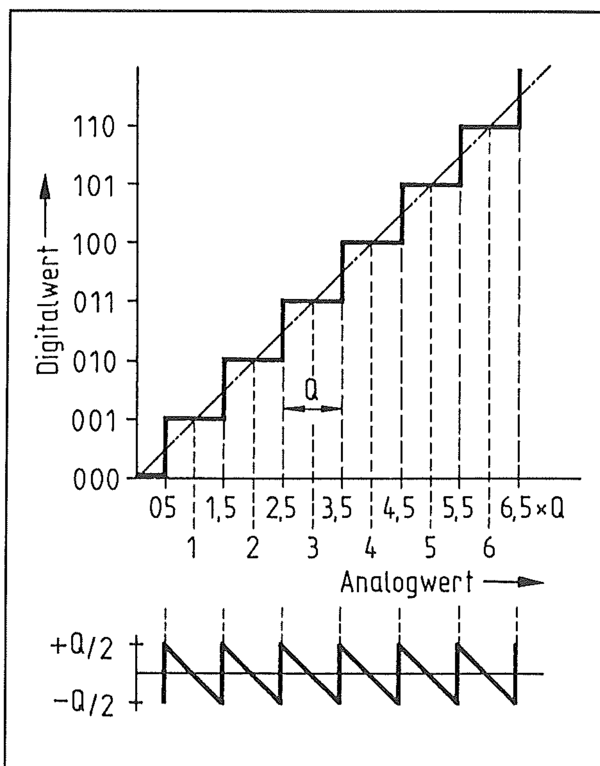
Maar afgezien van deze niet te vermijden kwantiseringsvervorming zullen er nog andere fouten optreden, die te maken hebben met de niet ideale werking van de ADC en van de DAC.
Fabrikanten doen alle moeite van de wereld om deze fouten zo klein mogelijk te maken en vandaar dat de groottes van deze fouten een belangrijk kwaliteitscrite-

rium zijn voor een ADC of DAC. Kortom, de waarden van deze fouten specificeren de schakeling!

In de volgende paragrafen zullen deze specificaties in het kort worden toegelicht aan de hand van een unipolaire DAC.

**De kwantiseringsfout**

Dit begrip is al vaak aan de orde geweest, maar nog nooit is eigenlijk toegelicht wat de basis van deze harmonische vervorming is. In figuur 3/15.1-19 is toegelicht wat de oorzaak van deze vervorming is.




**Figuur 3/15.1-19:** Het ontstaan van de kwantiseringsvervorming.

De DAC levert een trapvormige benadering van de zaagtandvormige ingangsspanning. In het getekende voorbeeld zal een digitale code van "L-H-H" door de ADC worden opgewekt als de zaagtand tussen de 2,5 en de 3,5 V ligt. In het herwonnen analoog signaal wordt dit gehele spanningsgebied voorgesteld door een spanning van 3 V. Er is, per trap van de trapvormige benadering, maar één spanning waarbij het uitgangssignaal precies gelijk is aan het ingangssignaal. In dit voorbeeld is dat het moment waarop de ingangsspanning gelijk is aan 3 V. Rond deze waarde bestaat er een afwijking tussen de momentele waarde van de ingangsspanning en de momentele waarde van de uitgangsspanning. Uit de grafiek blijkt duidelijk dat deze afwijking zaagtandvormig verloopt rond dat ene punt van 3 V waar er geen afwijking bestaat.

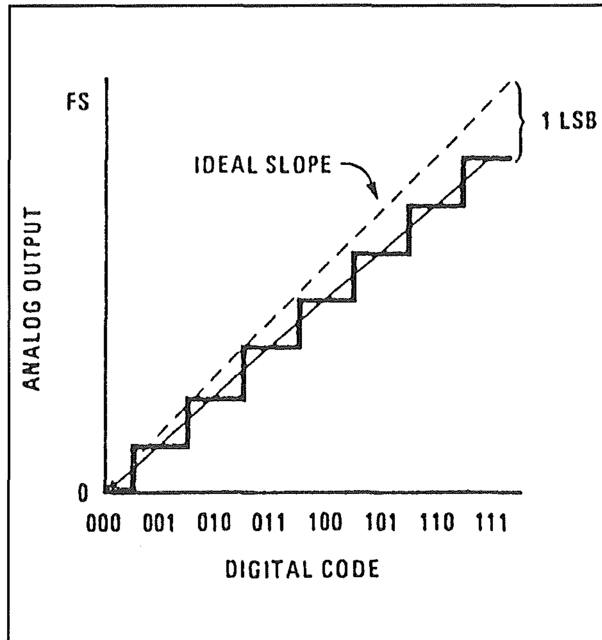
**De schaalfout (scale error)**

De schaalfout geeft de afwijking aan tussen de theoretische volle schaal spanning en de reële volle schaal spanning van een DAC. In de praktijk heeft deze afwijking tot gevolg dat de steilheid van de herwonnen zaagtand kleiner of groter is dan de theoretische waarde. In figuur 3/15.1-20 wordt de uitgangskarakteristiek gegeven van een DAC die een schaalfout heeft van 1 LSB, dus van 1 bitgrootte. Deze fout kan gecompenseerd worden door de waarde van de referentiespanning iets bij te regelen.

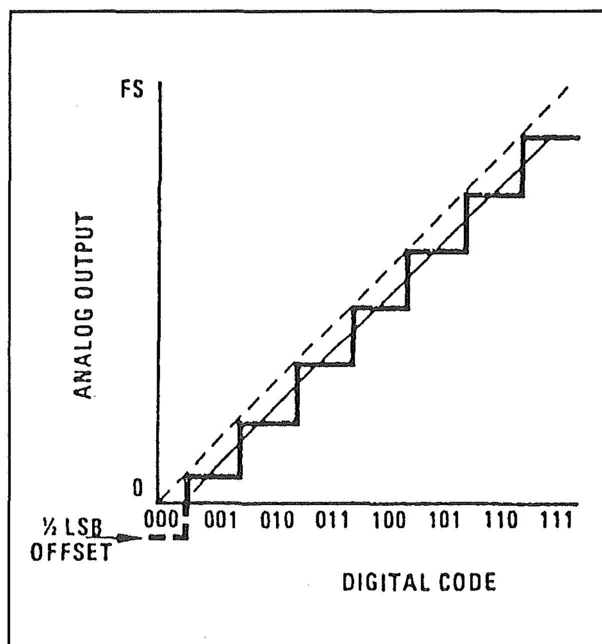
**De offsetfout**

De offsetfout is de reële uitgangsspanning van een DAC als alle digitale ingangen "L" zijn. In theorie zou de uitgangsspanning dan nul moeten zijn, maar de meeste praktische DAC's hebben een offsetfout van enige mV tot enige tientallen mV. De uitwerking van deze offsetfout op de uitgangskarakteristiek van het systeem is getekend in figuur 3/15.1-21. De offsetfout veroorzaakt dus een horizontale verschuiving van de karakteristiek.

**15.1 Algemene inleiding en theorie**




**Figuur 3/15.1-20:** De schaalfout grafisch toegelicht.



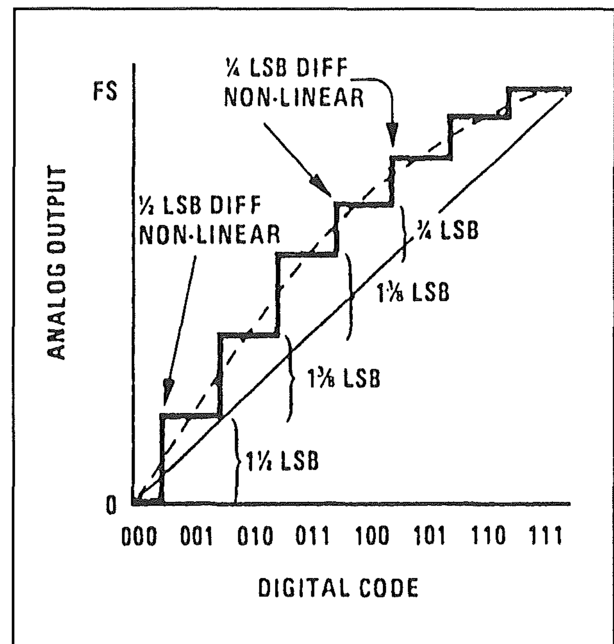

**Figuur 3/15.1-21:** De grafische verklaring van de offsetfout van een DAC.

## De hysteresisfout

De hysteresisfout is een typische afwijking van ADC's. De hysteresisfout geeft aan dat de spanningsdrempel waarop de uitgang van de ene code naar de andere omschakelt niet constant is, maar afhankelijk van de richting waarin de analoge ingangsspanning varieert. Stijgt deze spanning, dan zal de uitgang dus bij een andere drempel omschakelen dan wanneer de ingangsspanning daalt.

## Niet lineariteit

Zoals de naam reeds doet vermoeden definieert de niet lineariteit van een ADC of DAC de mate waarin de uitgangskarakteristiek afwijkt van een gemiddelde rechte lijn. Dit verschijnsel wordt grafisch toegelicht in figuur 3/15.1-22.

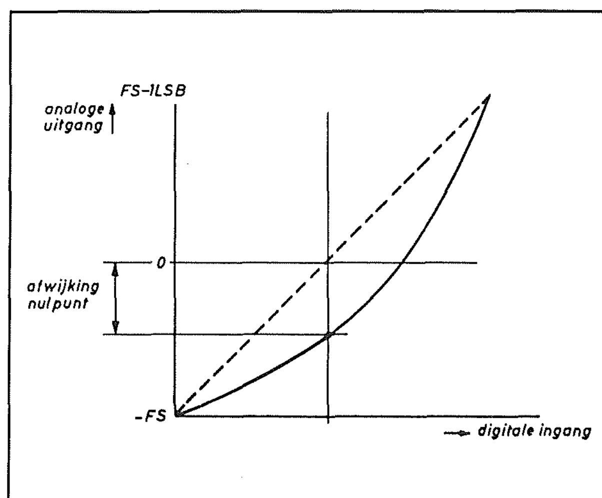



**Figuur 3/15.1-22:** Het verschijnsel niet lineariteit grafisch toegelicht.

De niet lineariteit ontstaat doordat niet alle trapjes van de trapvormige benadering even groot zijn. Deze fout kan zowel in de ADC als in de DAC van het systeem ontstaan. Zoals de meeste fouten wordt ook deze uitgedrukt in aantal LSB.

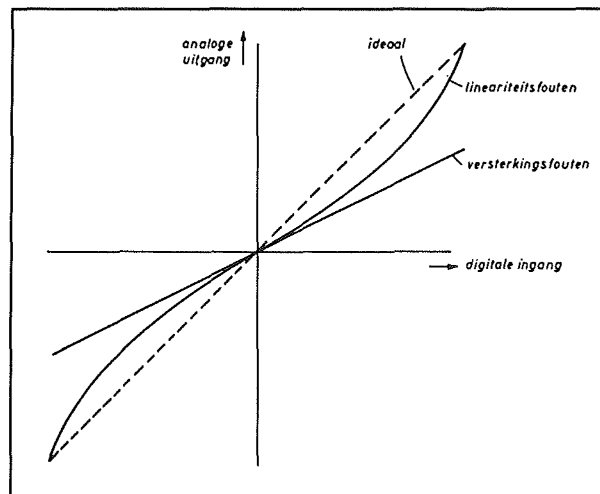
**15.1 Algemene inleiding en theorie**

Een DAC met een grote niet lineaire afwijking is uiteraard niet erg bruikbaar in een nauwkeurig systeem. Maar als de schakeling unipolair werkt valt er nog wel mee te leven. Veel tragischer zijn de gevolgen als een bipolaire DAC een grote niet lineaire afwijking heeft. Waarom dat zo is volgt uit figuur 3/15.1-23.




**Figuur 3/15.1-23:** Niet lineaire fouten kunnen leiden tot een grote verschuiving van het nulpunt bij bipolaire omzetters.

De niet lineariteit heeft tot gevolg dat het nulpunt van de analoge uitgang niet meer in het midden van de digitale codes ligt. Bij vele schakelingen in de regeltechniek wordt nu net het nulpunt als referentie gebruikt. Men kan nu begrijpen waarom de sign-magnitude schakeling is ontwikkeld. Deze heeft van verschuiving van het nulpunt bij niet lineair gedrag geen last! Dat blijkt uit figuur 3/15.1-24, waarin de uitgangskarakteristiek van een sign-magnitude DAC met grote lineaire fout is getekend. De curve loopt wel krom, maar het digitale nulpunt blijft samenvallen met het analoge nulpunt.



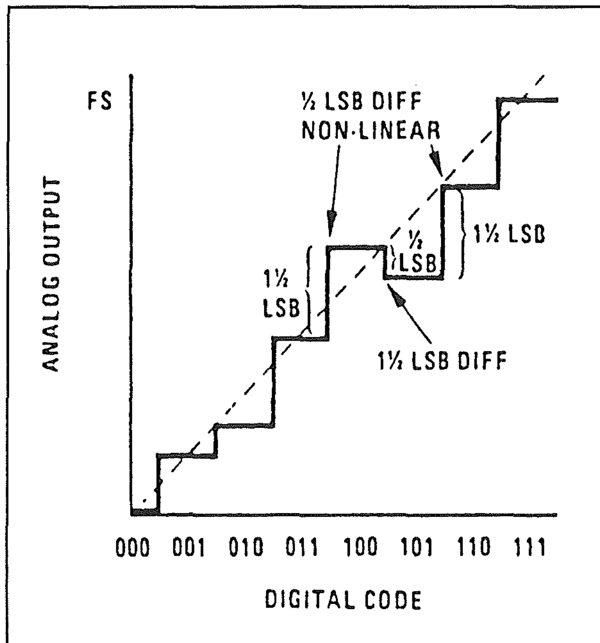

**Figuur 3/15.1-24:** Het resultaat van een niet lineaire werking op de uitgangskarakteristiek van een sign-magnitude DAC.

## Niet monotoniciteit

Een ADC of DAC met een niet monotone fout zal, zoals getekend in figuur 3/15.1-25, op één of op verschillende plaatsen in zijn uitgangskarakteristiek een dalende stap hebben in plaats van een stijgende stap. Deze niet monotoniciteit is een rechtstreeks gevolg van een systeem met een grote niet lineariteit. Zolang de niet lineariteit kleiner is dan 1/2 LSB werkt de schakeling gegarandeerd monotoon.
Is de niet lineariteit groter dan 1/2 LSB, dan kàn de schakeling niet monotoon zijn, maar zeker is dat niet.

Een niet monotone ADC of DAC kan bij sommige toepassingen tot grote systeemfouten leiden en in principe zou men ieder IC dat niet monotoon is, onmiddellijk naar de prullenbak moeten afvoeren. Vandaar dan ook dat alle IC-fabrikanten hun gegarandeerd monotone schakelingen als dusdanig in grote letters in de data-sheets aanprijzen!

**15.1 Algemene inleiding en theorie**




**Figuur 3/15.1-25:** Het verschijnsel niet monotoniciteit grafisch toegelicht.

# Algemene toepassingen van ADC's en DAC's

## Inleiding

Er zijn natuurlijk tal van toepassingen te noemen die erg voor de hand liggen.
De meest verspreide toepassing van ADC's en DAC's is wel de CD. Het analoog signaal wordt eerst met een ADC omgezet in een seriële digitale code. Na bewerking van deze code worden de hoge en lage niveaus van de datastroom onder de vorm van microscopisch kleine putjes in het oppervlak van de compact disk geperst. Nadien wordt dit oppervlak verzilverd of verguld.
Bij het afspelen wordt een zeer dunne laserstraal op het oppervlak van de CD gefocusseerd. Als dat oppervlak glad is wordt de laserstraal volledig gereflecteerd. Is er echter een putje, dan wordt een deel van de straal verstrooid. Uit dit reflectieverschil wordt de seriële digitale code weer samengesteld. Na diverse tamelijk ingewikkelde code-bewerkingen wordt de terug gewonnen audio-code met behulp van een DAC omgezet in een analoog signaal.
De DAT-recorder werkt volgens hetzelfde principe.

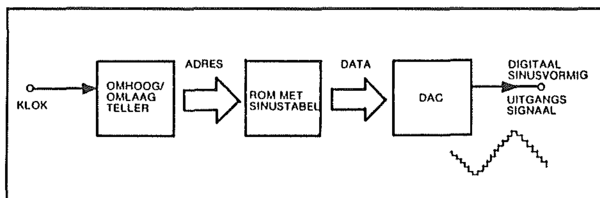
Maar er zijn ook minder voor de hand liggende toepassingen te verzinnen, die in de volgende paragraafjes in het kort worden toegelicht.

## Digitale signaalopwekking met geheugentabellen

De meeste signalen die in de meetelektronica worden gebruikt, zoals sinussen, blokken en driehoeken, kunnen op een eenvoudige manier analoog worden opgewekt. Er zijn echter ook testsignalen die niet zo gemakkelijk of zelfs helemaal niet analoog kunnen worden gegenereerd. Een typisch voorbeeld is bijvoorbeeld het analoog signaal dat in een videogenerator wordt gegenereerd om een testbeeld op het scherm te zetten. Dat is zeer ingewikkeld van samenstelling en verschilt bovendien van lijn tot lijn. Hoewel het wel mogelijk is een dergelijk signaal in een zeer ingewikkelde analoge schakeling te genereren kan dat veel en veel gemakkelijker door gebruik te maken van een DAC.

Het basisprincipe is geschetst in figuur 3/15.1-26.
Hart van de schakeling is een ROM-geheugen, waarin een zogenaamde geheugentabel is opgeslagen. Deze ROM bevat een groot aantal 8, 10, 12 of 16 bit lange woorden, die de digitale repre-

sentatie bevatten van het analoog signaal. De ROM wordt uitgelezen door een klokgenerator. Deze klok (met bijbehorende teller) zal een na een alle geheugenadressen uit de ROM uitlezen en de inhoud op de databus zetten. De databus gaat naar de digitale ingangen van een DAC. Het gevolg is dat het ingewikkelde analoog signaal op het ritme van de klok op de analoge uitgang van de DAC wordt opgebouwd.

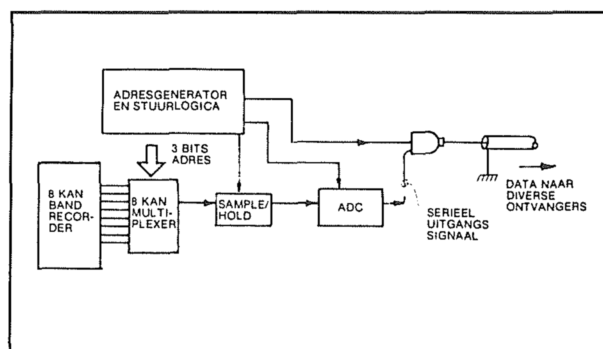



**Figuur 3/15.1-26:** Het gebruik van een DAC die wordt gestuurd uit een in ROM opgeslagen geheugentabel voor het genereren van ingewikkelde analoge testsignalen.

## Multiplexen van analoge signalen

Vaak bestaat de noodzaak verschillende analoge signalen over één kabel te versturen. Denk maar aan telefonie, waar een zeer beperkt aantal kabels ter beschikking staat om het steeds intensiever wordende internationale telefoonverkeer te versturen. Het is in principe mogelijk op een volledig analoge manier verschillende signalen door één kabel te versturen. Men moduleert dan ieder signaal op een draaggolf met een eigen frequentie en zet al deze gemoduleerde signalen op de kabel. Aan de ontvangstzijde worden deze gemoduleerde signalen door middel van afgestemde versterkers van elkaar gescheiden en de analoge signalen door middel van demodulatie herwonnen. Een systeem met veel haken en ogen en dat in ieder geval nogal wat overspraak tussen de signalen veroorzaakt.

Een dergelijk systeem kan heel elegant worden opgelost door gebruik te maken van digitalisatietechnieken. Het blokschema is getekend in figuur 3/15.1-27.




**Figuur 3/15.1-27:** Blokschema van een digitale multiplexer voor analoge signalen.

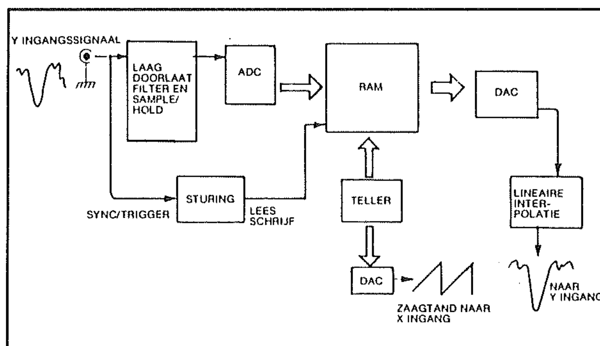
In het voorbeeld wordt uitgegaan van acht analoge signalen die over één kabel verstuurd moeten worden. De analoge signalen worden eerst aangeboden aan een analoge multiplexer. Dat is een elektronische acht standen schakelaar, die de analoge signalen een na een naar de sample and hold stuurt. Het ingangssignaal van de S&H bevat dus per cyclus acht pakketjes met analoge informatie van de acht ingangssignalen. Deze pakketjes worden gedigitaliseerd in een serieel werkende ADC. De uitgangscode van deze schakeling is een seriële datastroom, die de digitale informatie bevat van alle analoge pakketjes. Dit signaal wordt nog gemengd met digitale adressen die de ontvanger duidelijk moeten maken welk pakketje er op een bepaald moment in de seriële code verwerkt is.

Aan de ontvangerzijde worden de diverse datapakketjes naar DAC's gestuurd, die er

**15.1 Algemene inleiding en theorie**

weer de originele analoge informatie uit afleiden.
Het grote voordeel van het digitale systeem is dat er absoluut geen sprake kan zijn van overspraak tussen de verschillende analoge signalen. Deze worden immers serieel verzonden onder digitale vorm en vanwege de duidelijke signaalniveaus "L" en "H" van een digitaal signaal kan er geen sprake zijn van overspraak.

**Digitale meetapparatuur**
Meetapparatuur die van oudsher analoog was uitgevoerd, wordt steeds meer vervangen door digitale equivalenten. Een mooi voorbeeld van deze ontwikkeling is de oscilloscoop markt. Steeds vaker worden analoge scoops vervangen door digitaal werkende soortgenoten. Het blokschema van een digitale oscilloscoop is getekend in figuur 3/15.1-28.




**Figuur 3/15.1-28:** Het blokschema van een digitale oscilloscoop.

Het analoge meetsignaal gaat eerst door de onvermijdelijke anti-alias filter en S&H. Nadien wordt het met een snelle ADC omgezet in een opeenvolging van digitale codes. Deze codes worden opgeslagen in een RAM-geheugen. Nadat een meting is uitgevoerd wordt de informatie die in het geheugen is opgeslagen uitgelezen op het ritme van een teller. De data-uitgangen van het RAM-geheugen gaan naar een DAC en worden daar weer omgezet in een analoge spanning. Na eventuele filtering en lineaire interpolatie (een techniek waarbij de trapvormige benadering wordt omgezet in een vloeiender verlopende spanning) staat het signaal ter beschikking voor de vertikale afbuiging van de beeldbuis.
Een tweede DAC, gestuurd uit de teller, wekt een zaagtandvormige spanning op die wordt gebruikt voor de horizontale afbuiging.

Het grote voordeel van een digitale oscilloscoop is dat zeer traag variërende signalen met een zeer trage tijdbasis in het geheugen kunnen worden geschreven en nadien met een veel hogere snelheid uit het geheugen kunnen worden gelezen. De traag verlopende signalen worden als het ware kunstmatig versneld, waardoor toch een goed interpreteerbaar, stilstaand beeld op het scherm verschijnt.

## 15.1 Algemene inleiding en theorie

# 3/15.2

# Digitaal naar analoog omzetting

## Principes

### Functie van DAC's

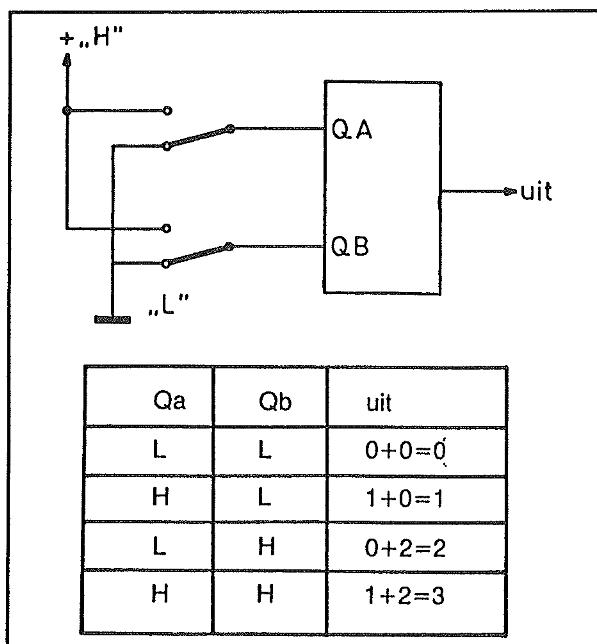
Digitaal naar analoog omzetters, kortweg DAC's genoemd, hebben tot taak een digitale binaire code om te zetten in een analoge spanning. De grootte van de analoge spanning is afhankelijk van het "gewicht" van de digitale code. Dat "gewicht" van een digitale code is een belangrijk begrip en het is noodzakelijk daar even bij stil te staan.

### Het "gewicht" van bits en digitale codes

In figuur 3/15.2-1 is een digitaal naar analoog omzetter getekend met twee digitale ingangen $Q_A$ en $Q_B$. Beide signalen kunnen alleen "L" of "H" zijn.
Bij het omzetten van de vier mogelijke binaire combinaties op de ingang moet een afspraak gemaakt worden met welke analoge spanning op de uitgang iedere combinatie overeen komt. Zo'n afspaak zou er als volgt kunnen uitzien:

- $Q_A$ = "L", $Q_B$ = "L"
  Analoge uitgangsspanning is gelijk aan 0 V.
- $Q_A$ = "H", $Q_B$ = "L"
  Analoge uitgangsspanning is gelijk aan 1 V.
- $Q_A$ = "L", $Q_B$ = "H"
  Analoge uitgangsspanning is gelijk aan 2 V.
- $Q_A$ = "H", $Q_B$ = "H"
  Analoge uitgangsspanning is gelijk aan 3 V.

Men kan dan stellen dat het "gewicht" van bit $Q_A$ gelijk is aan 1 V en het "gewicht" van bit $Q_B$ gelijk is aan 2 V. Het "gewicht" van de afzonderlijke bits speelt alleen een rol bij het bepalen van het "gewicht" van de volledige digitale code als het desbetreffende bit "H" is. Een bit dat "L" is heeft altijd een gewicht van 0 V.
Zo zou in dit voorbeeld de code "H-H" een "gewicht" van 3 V hebben.




| Qa | Qb | uit |
|---|---|---|
| L | L | 0+0=0 |
| H | L | 1+0=1 |
| L | H | 0+2=2 |
| H | H | 1+2=3 |

**Figuur 3/15.2-1:** Verklaring van het begrip "gewicht" van een digitale code.

## 15.2 Digitaal naar analoog omzetting

| Aantal bits | 3 | 4 | 5 | 6 | 7 |
|---|---|---|---|---|---|
| Gewogen waarden | 1+2+4 | 1+2+4+8 | 1+2+4+8+16 | 1+2+4+8+16+32 | 1+2+4+8+16+32+64 |
| Aantal combinaties | 8 | 16 | 32 | 64 | 128 |

**Figuur 3/15.2-2:** De gewichtswaarden in lineaire DAC's met 3 tot 7 bits.

### Toekennen van gewogen waarden aan de bits

In de meeste gevallen worden de gewichtswaarden aan de opeenvolgende bits toegekend volgens de bekende "macht van 2"-reeks. Het eerste bit krijgt het gewicht $2^0 = 1$. Het daaropvolgende bit krijgt het gewicht $2^1 = 2$. Het derde bit heeft het gewicht $2^2 = 4$.

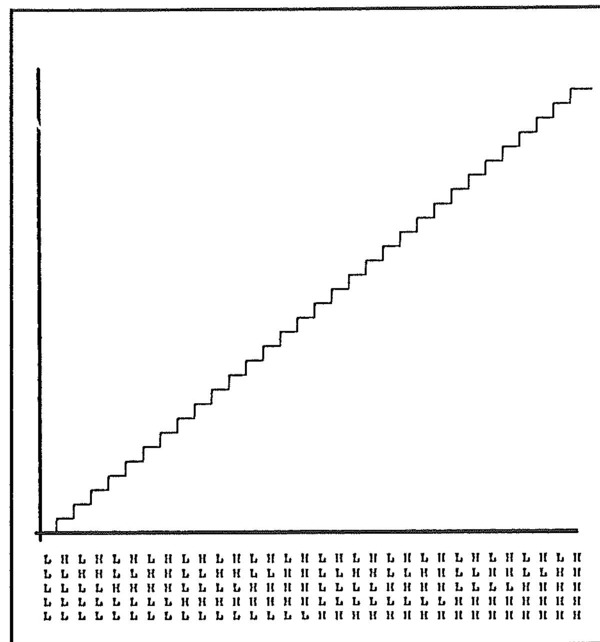
In het algemeen kan men stellen dat bij dit soort lineair werkende digitaal naar analoog omzetters het n-de bit een gewicht heeft van $2^n$.

Afgesproken wordt dat het bit met het laagste gewicht het "minst significante bit" (LSB) wordt genoemd en het bit met het hoogste gewicht het "meest significante bit" (MSB).

In de tabel van figuur 3/15.2-2 is een overzicht gegeven van de gewichtswaarden van lineair werkende DAC's met drie tot en met zeven bits.

### Eigenschap van lineair werkende DAC's

DAC's waarbij de gewichten volgens de beschreven $2^n$-reeks aan de bits worden toegekend worden lineair werkende DAC's genoemd omdat de analoge uitgangsspanning een bepaald specifiek verloop heeft als men de digitale code aan de ingangen van "L-L-L-....-L-L" tot en met "H-H-H-....-H-H" in de normale binaire codevolgorde laat stijgen.




**Figuur 3/15.2-3:** De specifieke vorm van de analoge uitgangsspanning van een lineair werkende DAC.

Aan de uitgang ontstaat dan namelijk een trapvormige spanning, die een lineaire zaagtand benadert.

Dit is in figuur 3/15.2-3 getekend voor een systeem dat werkt met vijf bits.

Opgemerkt moet worden dat, hoewel de overgrote meerderheid van de leverbare DAC's werkt volgens dit lineaire systeem, er toch ook schakelingen bestaan die van deze regel afwijken.
Zo levert Analog Devices bijvoorbeeld een aantal schakelingen waar het verband tussen de gewichten van de digitale codes en

**15.2 Digitaal naar analoog omzetting**

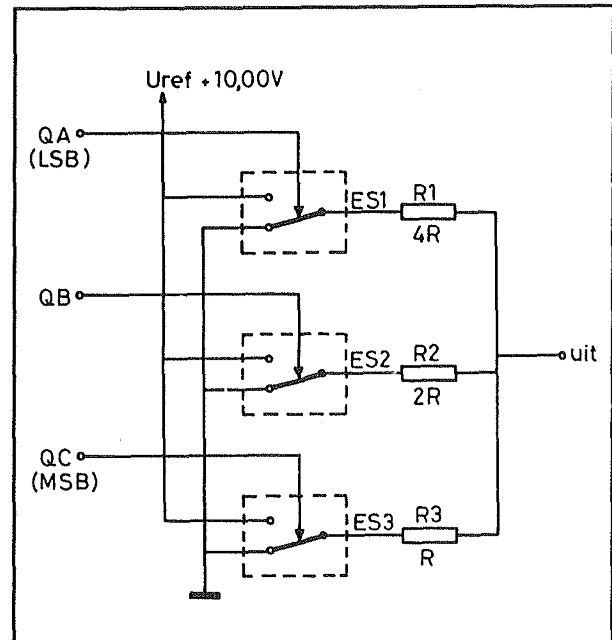
de analoge uitgangsspanning logaritmisch is.
Dat zijn echter zeer speciale schakelingen en vandaar dat bij het verklaren van de werking van de verschillende DAC-technieken alleen over lineair werkende schakelingen zal geschreven worden.

**Werkingsprincipes van lineaire DAC's**
Er bestaan vijf verschillende werkingsprincipes waarmee het digitale naar analoge proces in lineaire DAC's wordt uitgevoerd:
- de DAC met gewogen weerstanden;
- de DAC met een spanningsgestuurd R-2R netwerk;
- de DAC met een stroomgestuurd R-2R netwerk;
- de DAC met dynamic element matching;
- de integrator-DAC met variabele pulssturing.

Deze vijf principes zullen in de volgende subhoofdstukken worden verklaard.

# DAC met gewogen weerstanden

**Principe**
Bij de DAC met gewogen weerstanden wordt, zie figuur 3/15.2-4, ieder bit gebruikt voor het besturen van een elektronische omschakelaar.
Deze schakelaars schakelen het moedercontact ofwel aan de massa ofwel aan een nauwkeurige referentiespanning. De moedercontacten van de schakelaars zijn ieder verbonden met een weerstand, alle vrije aansluitingen van deze weerstanden zijn aan elkaar gekoppeld en vormen de uitgang van de schakeling.

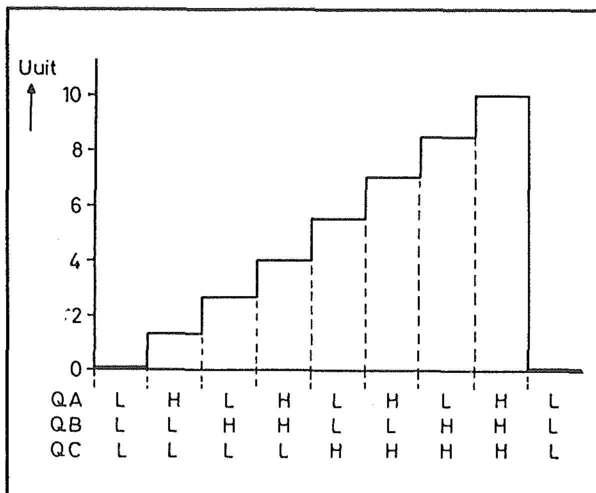



**Figuur 3/15.2-4:** Het principe van de DAC met gewogen weerstanden, toegepast op een systeem met drie bits.

De weerstandswaarden zijn niet willekeurig gekozen, maar zijn gewogen. Tussen het gewicht van de bits en het gewicht van de weerstanden bestaat een omgekeerd verband. Het bit met het laagste gewicht bestuurt de elektronische schakelaar van de weerstand met het hoogste gewicht. Het bit met het hoogste gewicht bestuurd de schakelaar van de weerstand met het laagste gewicht.
De onderlinge gewichten van de weerstanden voldoen aan dezelfde $2^n$-wet als het gewicht van de bits. Als de weerstand met het laagste gewicht dus een waarde van R heeft, dan zal de weerstand met het hoogste gewicht een waarde van $R.2^n$ hebben. In het getekende voorbeeld hebben de drie weerstanden dus een waarde van R, 2R en 4R.
Men kan nu aantonen dat als de drie ingangsbits hun normale codevolgorde van "L-L-L" tot en met "H-H-H" doorlo-

15.2 Digitaal naar analoog omzetting

pen de analoge spanning op de uitgang voldoet aan de eerder gestelde eigenschap van lineair werkende DAC's. Er ontstaat een trapvormige spanning die een lineaire zaagtand benadert. De te verwachten uitgangsspanning van het systeem is getekend in figuur 3/15.2-5.




**Figuur 3/15.2-5:** De te verwachten uitgangsspanning van de schakeling van figuur 3/15.2-4.

**Berekening van de uitgangsspanning**
Een DAC met drie ingangsbits kan in totaal acht verschillende codecombinaties aan zijn ingangen verwachten. Voor iedere combinatie ontstaat er dus een bepaalde analoge uitgangsspanning. Bij een dergelijk eenvoudig systeem kan men deze uitgangsspanningen gemakkelijk berekenen. De elektronische schakelaars schakelen immers de linker aansluitingen van de weerstanden ofwel naar 0 ofwel naar +10 V, de rechter aansluitingen zijn gemeenschappelijk. Het komt er dus op neer dat voor iedere codecombinatie een bepaald serie/parallel netwerk van de drie weerstanden ontstaat. Van ieder netwerk is op een zeer eenvoudige manier de vervangende waarde te berekenen.

Dit is uitgevoerd in de tabel van figuur 3/15.2-6.

- Als alle drie de ingangen "L" zijn schakelen de elektronische schakelaars de drie weerstanden parallel tussen de massa en de uitgang. De vervangingswaarde wordt dan 0,57 kΩ, de uitgang staat op 0 V.
- Als de binaire code gelijk is aan "L-L-H", dan wordt de weerstand van 4 kΩ geschakeld tussen de +10 V en de uitgang en de twee andere weerstanden komen parallel te staan tussen de massa en de uitgang. Er ontstaat dan een spanningsdeler tussen de +10 V en de massa. De uitgangsspanning zal gelijk zijn aan +1,428 V.
- Bij een digitale code van "L-H-L" wordt de weerstand van 2 kΩ geschakeld tussen de +10 V en de uitgang. De twee overige weerstanden staan parallel tussen de 0 V en de uitgang. Uit de spanningsdeler die nu ontstaat kan men de nieuwe uitgangsspanning berekenen als 2,857 V.
- Op deze manier verder rekenend kan men vaststellen dat de diverse uitgangsspanningen respectievelijk gelijk worden aan:
  0 V;
  1,428 V;
  2,857 V;
  4,285 V;
  5,714 V;
  7,142 V;
  8,571 V;
  10 V.

Alle stappen van de stapvormige uitgangsspanning liggen dus precies 1,428 V uit elkaar! Waarmee bewezen is dat de schakeling inderdaad voldoet aan de basiseigenschap van een lineair werkende digitaal naar analoog omzetter.

## 15.2 Digitaal naar analoog omzetting

| digitale code | | | netwerkvereenvoudiging | | | U uit |
|---|---|---|---|---|---|---|
| QA | QB | QC | | | | |
| L | L | L | 4k 2k 1k uit | | 0,57k | 0 V |
| H | L | L | +10V 4k 2k 1k uit | uit 2k +10V 4k 1k | uit +10V 4k 0,666k | 1,428 V |
| L | H | L | 4k 2k +10V 1k uit | uit 4k +10V 2k 1k | uit +10V 2k 0,8k | 2,857V |
| H | H | L | +10V 4k +10V 2k 1k uit | uit 4k +10V 2k 1k | uit +10V 1,333k 1k | 4,285V |
| L | L | H | 4k 2k 1k +10V uit | uit 4k +10V 1k 2k | uit +10V 1k 1,333k | 5,714 V |
| H | L | H | +10V 4k 2k 1k +10V uit | uit 4k +10V 1k 2k | uit +10V 0,8k 2k | 7,142 V |
| L | H | H | 4k 2k +10V 1k +10V uit | uit 2k +10V 1k 4k | uit +10V 0,666k 4k | 8,571V |
| H | H | H | +10V 4k +10V 2k +10V 1k uit | | +10V 0,57k uit | 10 V |

**Figuur 3/15.2-6:** Het berekenen van de uitgangsspanning voor alle ingangscodecombinaties.

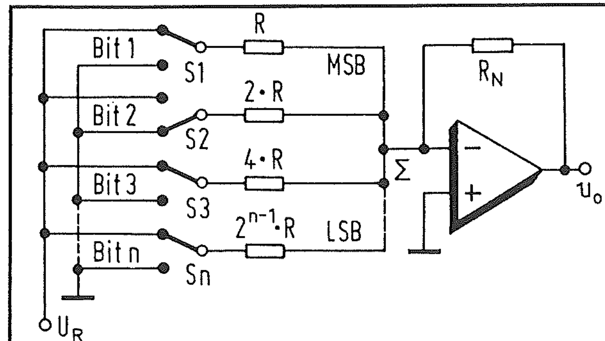
**15.2 Digitaal naar analoog omzetting**

**Uitschakelen van de belastingsinvloed**
Bij de besproken schakeling wordt geen rekening gehouden met de invloed van de belasting op de uitgang van de DAC. Toch moet dat, de schakeling wordt immers afgesloten met een andere schakeling die een bepaalde niet oneindig hoge ingangsweerstand heeft.
Deze weerstand zal de spanningsdeler van de DAC belasten, waardoor de nauwkeurigheid van de omzetting in het gedrang komt.
Men kan er uiteraard voor zorgen de DAC steeds af te sluiten met een bufferschakeling met een zeer hoge ingangsimpedantie.

Het is echter ook mogelijk gebruik te maken van de schakeling van figuur 3/15.2-7.

Deze schakeling werkt volgens hetzelfde principe. De weerstanden R, 2R, 4R, ... gaan nu echter naar de inverterende ingang van een operationele versterker. De niet inverterende ingang van deze schakeling ligt aan de massa.
De schakeling vormt een mengschakeling met virtueel nulpunt.
Omdat de niet inverterende ingang van de op-amp aan de massa ligt zal ook de spanning op de inverterende ingang streven naar 0 V. Hoewel dit punt niet echt aan de massa ligt gedraagt het zich wel als dusdanig!

De gewogen weerstanden leveren nu stromen aan dit punt.
Omdat de weerstanden gewogen zijn zullen de stromen dat ook zijn. Als het MSB "H" wordt zal weerstand R een stroom van $U_R$ gedeeld door R leveren. Het lagere bit levert een stroom $U_R$ gedeeld door 2.R. Deze stroom bedraagt dus de helft van de stroom van het MSB.




**Figuur 3/15.2-7:** Alternatieve schakeling van een DAC met gewogen weerstanden.

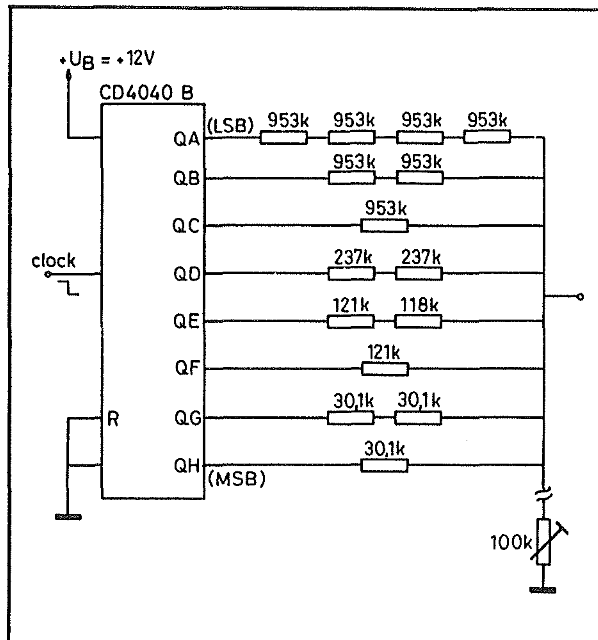
Al de stromen die door de bits die "H" zijn worden geleverd, kunnen alleen via de terugkoppelingsweerstand $R_N$ afvloeien. De somstroom wekt over de weerstand een spanningsval op waarvan de grootte uiteraard recht evenredig is met de waarde van de somstroom. Op deze manier ontstaat aan de uitgang van de schakeling een analoge spanning die evenredig is met het gewicht van de digitale code aan de ingang van de schakeling.

De operationele versterker zorgt ervoor dat de belasting van de trap geen invloed heeft op de grootte van de uitgangsspanning.

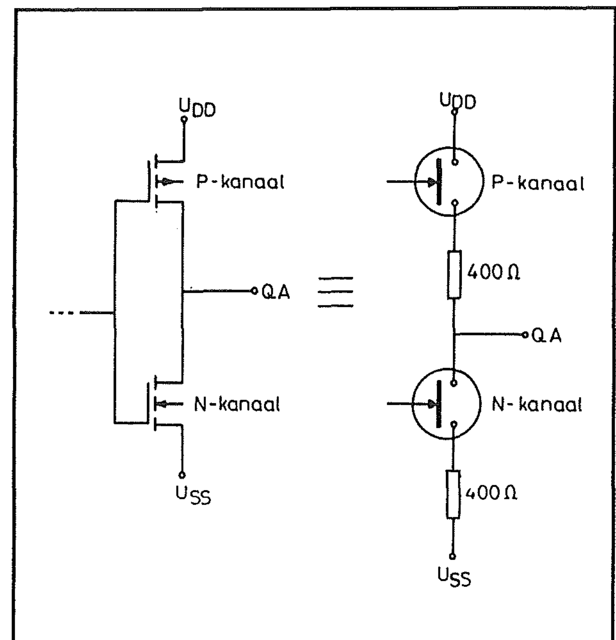
**Gewogen weerstands-DAC voor zelfbouw**
Bij schakelingen waarbij de nauwkeurigheid geen al te grote rol speelt kan men zélf een DAC volgens het principe van de gewogen weerstanden samenstellen. Te denken valt aan een schakeling waarmee men de spot van een oscilloscoop stapsgewijs over het scherm kan sturen.

Het praktisch bruikbare schema van een 8 bit brede omzetter is getekend in figuur 3/15.2-8.

## 15.2 Digitaal naar analoog omzetting




**Figuur 3/15.2-8:** Praktisch schema van een 8 bit brede zelfbouw DAC volgens het principe van de gewogen weerstanden.




**Figuur 3/15.2-9:** De interne samenstelling van de eindtrappen van de CD4040B.

Hart van de schakeling is een CD4040B, een frequentiedeler samengesteld uit 12 identieke trappen. Deze trappen zijn in cascade geschakeld. Bij iedere clock-puls zal de digitale code op de 12 uitgangen een stapwaarde verhoogd worden. De acht laagste uitgangen $Q_A$ tot en met $Q_H$ worden afgesloten met gewogen weerstanden. Omdat $Q_H$ het MSB is met de hoogste gewogen waarde zal de weerstand die op deze uitgang wordt aangesloten uiteraard het laagste gewicht moeten hebben. Gekozen is voor een waarde van 30,1 kΩ. Op het eerste gezicht een vreemdsoortige keuze! Dank zij deze keuze is het echter mogelijk het volledige weerstandsnetwerk samen te stellen uit slechts vier verschillende weerstandswaarden uit de E-96 serie, namelijk 30,1, 121, 237 en 953 kΩ. Het zal duidelijk zijn dat er weerstanden met een tolerantie van 1 % worden gebruikt!

De schakeling werkt als DAC met gewogen weerstanden vanwege de speciale samenstelling van de uitgangstrappen in de CD4040B. De uitgang van zo'n trap is getekend in figuur 3/15.2-9.

Iedere Q-uitgang van de schakeling wordt geleverd door een complementaire schakeling, gevormd door twee in serie geschakelde MOSFET's. Deze staan tussen de voedingsspanning en de massa geschakeld, het enige verschil is dat de ene MOSFET een p-kanaals type is en de andere een n-kanaals type. De MOSFET's zijn op te vatten als elektronische schakelaars, zie het equivalente schema rechts in de figuur.
Deze schakelaars hebben, in gesloten toestand, een inwendige weerstand van ongeveer 400 Ω. Het grote voordeel van dit IC in deze toepassing is dat de weerstand van de p- en de n-kanaals transistoren

gelijk is aan elkaar. De combinatie van beide transistoren kan dus opgevat worden als een elektronische omschakelaar met een weerstand van 400 Ω, die de Q-uitgang van het IC ofwel met de massa ofwel met de voeding doorverbindt. De inwendige weerstand van 400 Ω is zo laag dat deze de gewogen verdeling van de weerstanden niet merkbaar beïnvloedt.

Als aan de clock-ingang van de schakeling een wisselspanning wordt gelegd, zal op de uitgang een trapvormige spanning ontstaan, waarvan de frequentie gelijk is aan deze van het clock-signaal gedeeld door 256.

**Uitbreiding van de schakeling**
De schakeling van figuur 3/15.2-8 is een eenvoudige demonstratieschakeling waarmee men alleen een trapvormige spanning kan opwekken. Men zou echter hetzelfde principe kunnen gebruiken voor het uitlezen van de in een RAM opgeslagen digitale monsters. Als een adres wordt uitgelezen zal op de uitgang van de schakeling een analoge spanning ontstaan waarvan de waarde equivalent is met het gewicht van de in dat adres opgeslagen digitale code.

**Nadelen van de DAC met gewogen weerstanden**
Men zal in de praktijk nauwelijks digitaal naar analoog omvormers aantreffen die werken volgens het principe van de gewogen weerstanden. Dat principe heeft een aantal nadelen.

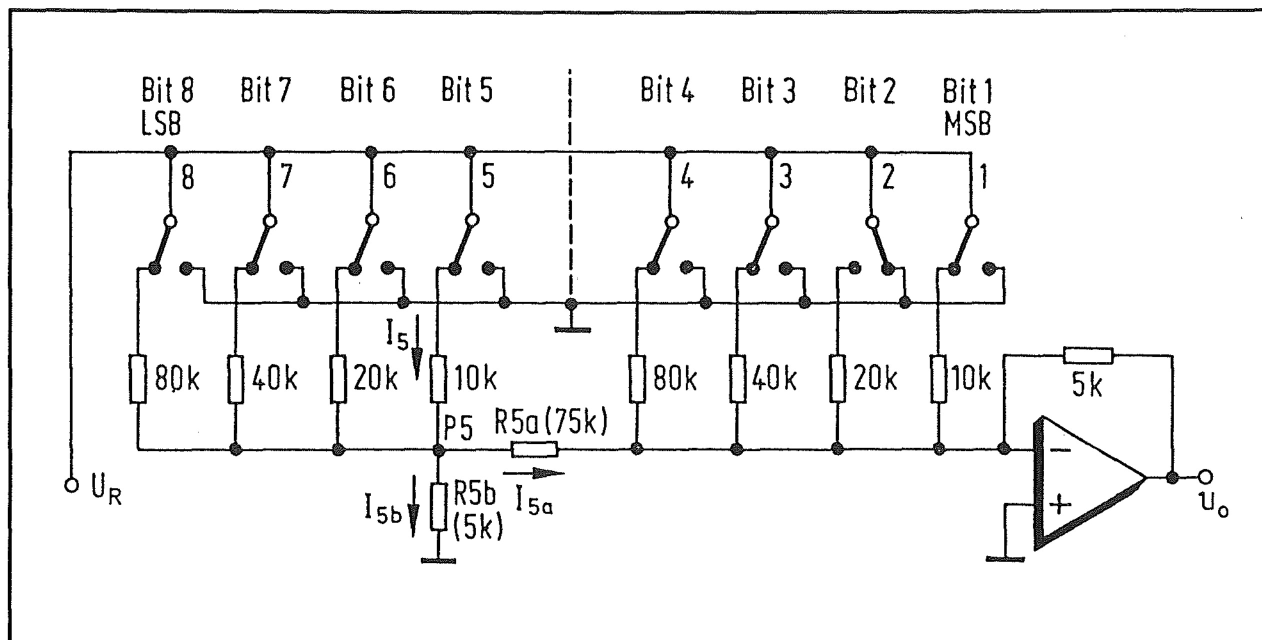
Op de eerste plaats moet men gebruik maken van weerstanden met een zeer hoge waarde als het aantal bits van de omzetter stijgt. Zelfs bij de 8 bit DAC uit het besproken voorbeeld heeft men bij het LSB al een weerstand van bijna 4 MΩ nodig! Natuurlijk zou men deze waarde kunnen verlagen door de weerstand die door het MSB gestuurd wordt te verlagen. De waarde van 30 kΩ is echter een minimale waarde. Zou men deze weerstand verlagen, dan gaat de inwendige weerstand van de elektronische schakelaars een niet meer te verwaarlozen rol spelen.

Op de tweede plaats hangt de nauwkeurigheid van de omzetting af van de tolerantie op de weerstanden. In feite zou men zelfs bij de 8 bit brede schakeling al geen 1 % weerstanden kunnen toepassen! Nu is het een feit dat bij alle principes nauwkeurige weerstanden vereist zijn. Zoals uit de volgende subhoofdstukken zal blijken heeft men bij de andere principes echter te maken met identieke weerstanden.
Het is technologisch echter tamelijk eenvoudig om een aantal identieke weerstanden met identieke weerstandstolerantie op een chip te integreren.

Op de derde plaats heeft de besproken schakeling een zeer grote uitgangsimpedantie, dit vanwege de hoge weerstandswaarden die bij de omzetting een rol spelen.
Deze hoge weerstanden vormen, samen met de onvermijdelijke bedradingscapaciteiten, laagdoorlaatfiltertjes die de werking van de schakeling bij het verwerken van snelle code-opvolgingen zeer nadelig beïnvloeden.

**Verbeterde uitvoering van een DAC met gewogen weerstanden**
Een aantal nadelen van de besproken schakeling kan opgelost worden door de schakeling van figuur 3/15.2-10 toe te passen.

**15.2 Digitaal naar analoog omzetting**




**Figuur 3/15.2-10:** Verbeterde uitvoering van de schakeling met gewogen weerstanden.

Bij dit systeem worden de ingangsbits van de DAC opgesplitst in een aantal groepen die ieder even veel bits bevatten. In het getekende voorbeeld wordt bijvoorbeeld gewerkt met twee groepen van ieder vier bits.

Deze groepen worden nu beschouwd als individueel te verwerken codegroepen. Bit vijf wordt dus nu het "MSB" van de linker groep, bit vier wordt het "LSB" van de rechter groep. De groepen worden omgezet in een analoge spanning door middel van vier weerstanden van respectievelijk 10, 20, 40 en 80 kΩ. Op deze manier wordt voorkomen dat de grootte van de gewogen weerstanden tot onpraktische waarden stijgt.

Zonder speciale maatregelen zou de linker groep, bestaande uit de vier minst belangrijke bits uit de 8 bit brede code, uiteraard een veel te grote invloed krijgen op de analoge uitgangsspanning. Vandaar dat deze groep niet rechtstreeks aan de ingang van de operationele versterker wordt aangeboden, maar via een spanningsdeler R5a/R5b.

Deze spanningsdeler zorgt ervoor dat het analoge gewicht van de vier laagste bits weer wordt gereduceerd tot de juiste waarde.

# DAC met spanningsgestuurd R-2R netwerk

## Principe

Het principe van dit soort schakelingen is getekend in figuur 3/15.2-11.

De ingangsbits sturen ook nu elektronische omschakelaars, die weerstanden uit een ingewikkeld weerstandsnetwerk ofwel met de massa ofwel met een referentiespanning doorverbinden.

Het weerstandsnetwerk is echter zeer specifiek gevormd. Met noemt deze structuur een "laddernetwerk".

## 15.2 Digitaal naar analoog omzetting

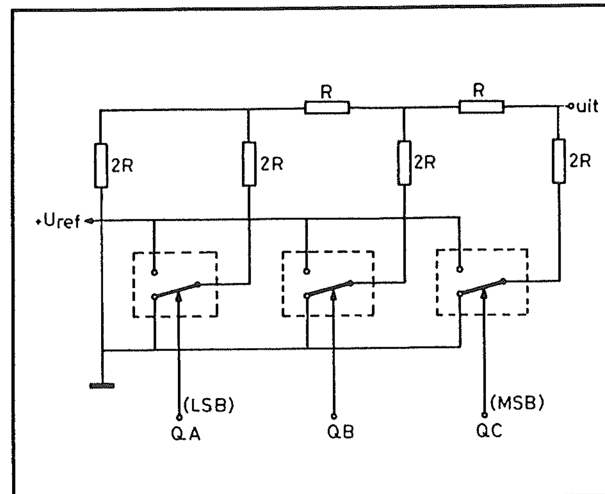
Op de eerste plaats worden er slechts twee weerstandswaarden gebruikt, R en 2R. Problemen met uit de hand lopende weerstandswaarden doen zich hier dus niet voor!
Op de tweede plaats is de impedantieverhouding veel evenwichtiger. Iedere elektronische schakelaar "ziet" ongeveer dezelde impedantie ten opzichte van de massa. De inwendige weerstanden van de elektronische schakelaars hebben dan veel minder invloed op de nauwkeurigheid van de omzetting. Door de evenwichtiger impedantieverdeling vloeien er immers door alle schakelaars ongeveer even grote stromen. De spanningsvallen over de inwendige weerstanden van de schakelaars zijn dan ongeveer even groot, hetgeen een groot voordeel is vergeleken met de toestand bij de gewogen weerstandsnetwerken.

### De werking van de schakeling

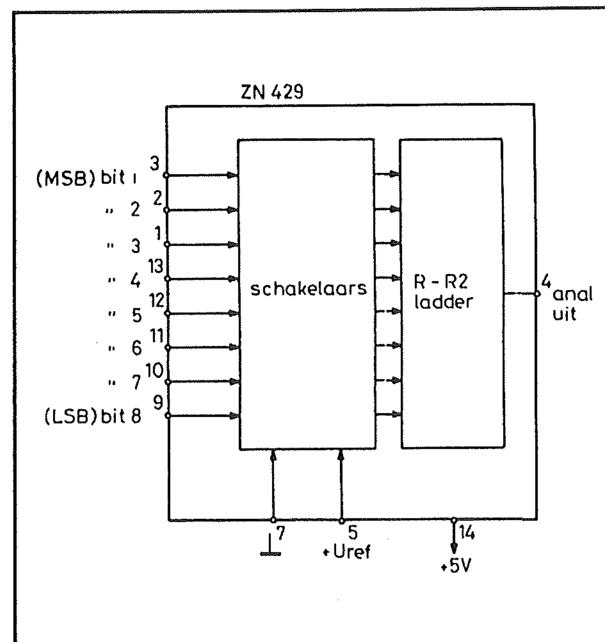
Uiteraard moet nog bewezen worden dat op de uitgang een trapvormige spanning ontstaat als de codecombinatie op de ingang alle stappen tussen "L-L-L" en "H-H-H" doorloopt.
Wie er de moeite voor over heeft zou weer voor iedere ingangscombinatie het equivalente schema van de weerstanden kunnen opstellen. Voor iedere code zullen er een aantal weerstanden parallel geschakeld worden tussen de massa en de uitgang en/of tussen de referentiespanning en de uitgang.
Men zou dan vaststellen dat inderdaad aan de algemene voorwaarde van een lineair werkende DAC wordt voldaan.

### Praktische schakeling

Er worden een aantal geïntegreerde DAC's volgens het spanningsgestuurd R-2R systeem aangeboden.




**Figuur 3/15.2-11:** Het principe van de DAC met spanningsgestuurd R-2R netwerk.




**Figuur 3/15.2-12:** Aansluitgegevens en intern blokschema van de ZN429, die werkt volgens het principe van het spanningsgestuurde R-2R netwerk.

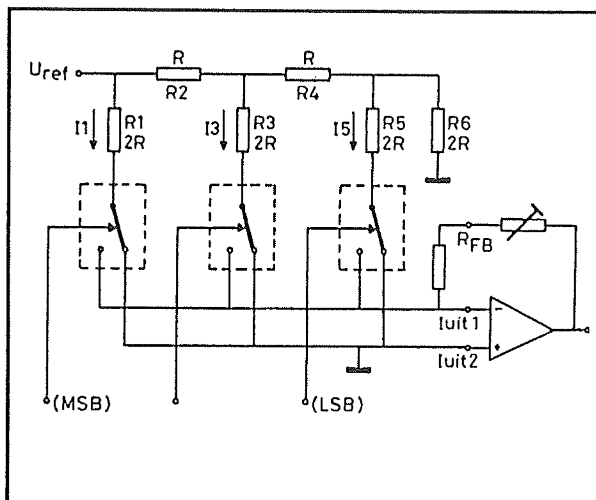
In figuur 3/15.2-12 is het interne blokschema en de aansluitcodering van de

ZN429 van Ferranti getekend. Dat is een 8 bit brede schakeling. Op de acht binaire ingangen moeten TTL-compatibele spanningen worden gezet. Op pen 5 komt een externe referentiespanning, de analoge uitgangsspanning kan afgenomen worden van pen 4.

# DAC met stroomgestuurd R-2R netwerk

### Principiële werking

Het principe van de stroomgestuurde DAC met R-2R weerstanden is getekend in figuur 3/15.2-13.




**Figuur 3/15.2-13:** Het principe van de stroomgestuurde R-2R DAC.

De schakeling wordt gekenmerkt door twee uitgangen. Een uitgang $I_{uit1}$ vangt de stromen op die geleverd worden door de schakelaars die door hoge bits worden gestuurd. Een tweede uitgang $I_{uit2}$ verzamelt de stromen die worden geleverd door de schakelaars die door lage bits worden gestuurd.

Tot slot is er nog een uitgang $R_{FB}$, die gebruikt kan worden voor het omzetten van de uitgangsstromen in een uitgangsspanning.

Daarvoor is een operationele versterker nodig, die soms wel en soms niet in de geïntegreerde schakeling van de DAC aanwezig is. De niet inverterende ingang is verbonden met de massa, de inverterende ingang met de uitgang $I_{uit1}$.

Alle stromen die via de 2R-weerstanden geleverd worden vloeien ofwel af naar de massa, ofwel naar de inverterende ingang van de versterker.

De somstroom gaat weer via de weerstand $R_{FB}$ naar de uitgang van de op-amp. Over deze weerstand ontstaat een spanningsval waarvan de grootte wordt gegeven door de som van de stromen die door de weerstand vloeien.

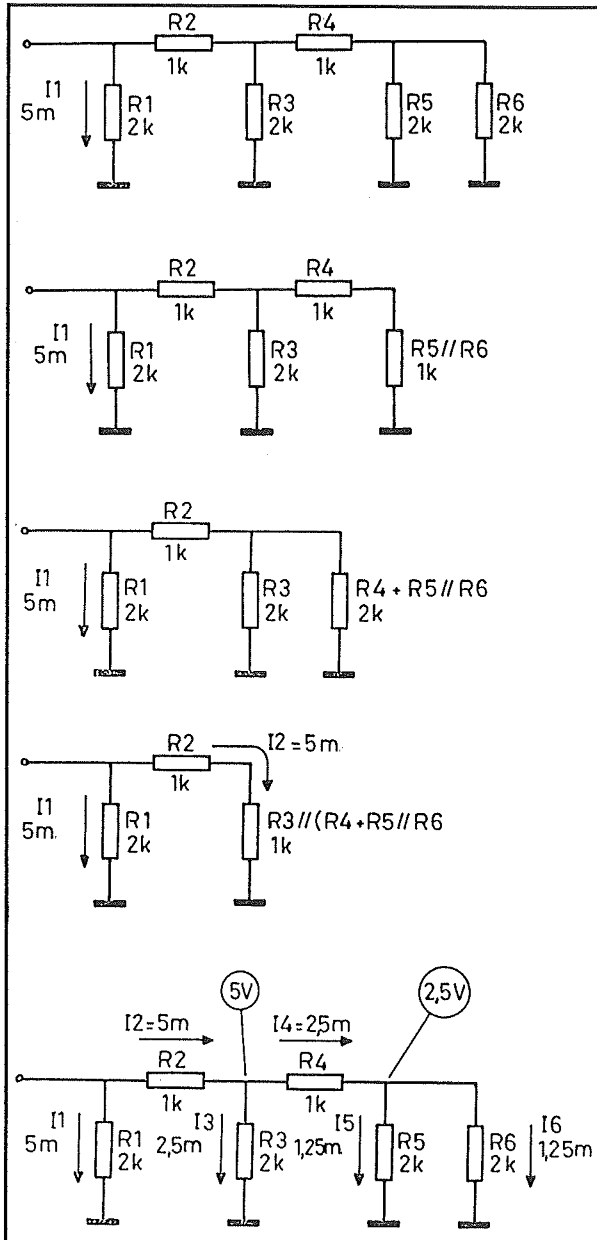
### Werking van de schakeling

Men moet bewijzen dat de grootte van de $I_{uit1}$ stromen een gewogen waarde hebben. Dit wordt bewezen aan de hand van de herleidingsschema's van figuur 3/15.2-14.

Als referentiespanning wordt een waarde van +10 V gekozen, de R en 2R weerstanden worden gelijk gesteld aan 1 en 2 kΩ.

Omdat zowel de inverterende als de niet inverterende ingang van de operationele versterker op nul staan, kan men de weerstanden R1, R3 en R5 naar massa tekenen. Door R1 vloeit een stroom van 5 mA. De spanning over de weerstand is immers gelijk aan de waarde van de referentiespanning (+10 V), de weerstand heeft een waarde van 2 kΩ.

## 15.2 Digitaal naar analoog omzetting




**Figuur 3/15.2-14:** Het herleiden van het R-2R netwerk.

Wil men de waarde van de overige stromen kunnen berekenen, dan moet men eerst weten hoe groot de spanningsval is over weerstand R2. De parallel geschakelde weerstanden R5 en R6 kunnen vervangen worden door een weerstand van 1 kΩ. Nadien kan R4 en de in serie geschakelde R5/R6 weerstand weer vervangen worden door één weerstand van 2 kΩ. Vervolgens kan de parallelschakeling van R3 met R4+R5/R6 vervangen worden door één weerstand van 1 kΩ.

Deze vervangingsweerstand staat in serie met R2 geschakeld tussen de referentiespanning en de massa. De totale weerstand van deze kring is 2 kΩ, zodat er een stroom van 5 mA doorheen stroomt. Over R2 valt bijgevolg 5 V.

Daaruit volgt dat het knooppunt van R2, R3 en R4 op een spanning staat van +5 V. Door R3 vloeit dus een stroom van 2,5 mA. Omdat R2 5 mA levert en R3 slechts 2,5 mA opneemt, moet de ontbrekende 2,5 mA door R4 afvloeien. Over deze weerstand valt dus een spanning van 2,5 V. Men kan dus besluiten dat er over de weerstanden R5 en R6 ook 2,5 V staat. Men kan tot slot berekenen dat door de weerstand R5 een stroom van 1,25 mA vloeit.

Als men al deze gegevens op een rijtje zet kan men besluiten dat de stromen die door R1, R3 en R5 vloeien zich inderdaad gewogen gedragen! I1 is immers gelijk aan 5 mA, I3 gelijk aan 2,5 mA en I5 gelijk aan 1,25 mA.

De stromen verhouden zich als 1 tot 2 tot 4, een typische gewogen verhouding die voldoet aan de $2^n$-wet!

De stromem I1, I3 en I5 vloeien alleen maar naar de inverterende ingang van de operationele versterker als de schakelaars gestuurd worden door bits die "H" zijn. In het andere geval vloeien de stromen rechtstreeks af naar de massa. De som van de gewogen stromen vloeit door de weerstand $R_{FB}$ en wordt daarin uiteraard omgezet in een gewogen spanning.

**15.2 Digitaal naar analoog omzetting**

### Voordelen van de stroomgestuurde R-2R schakeling

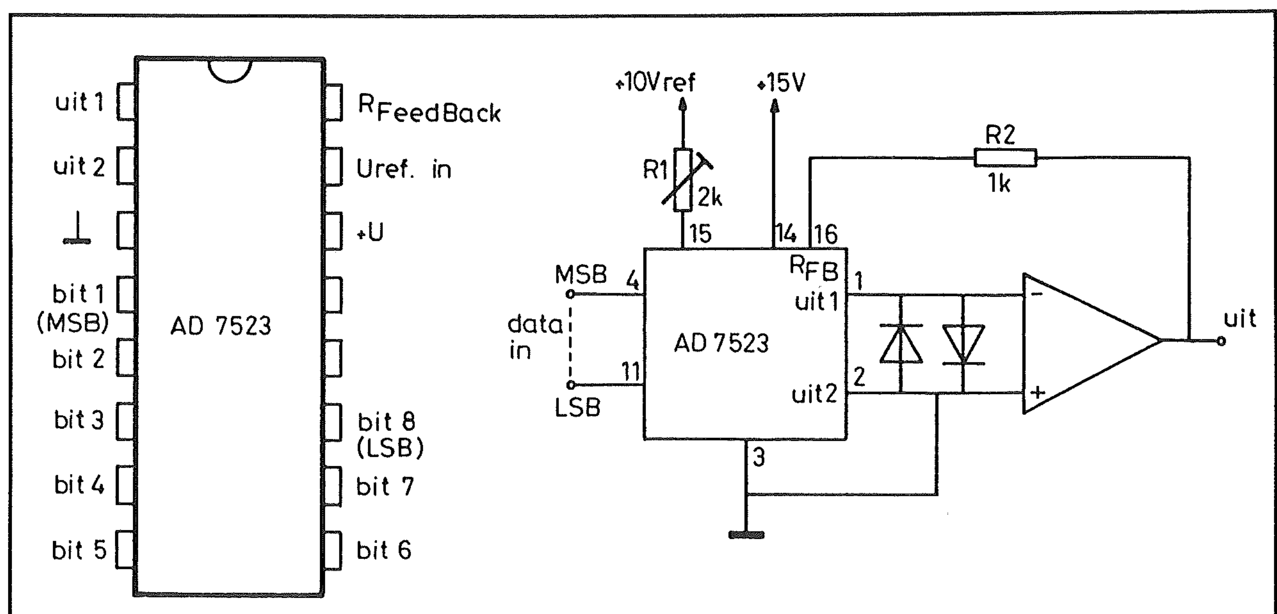
Het principe van het stroomgestuurde R-2R netwerk heeft zoveel voordelen, dat de meeste geïntegreerde DAC's volgens dit systeem werken.
Op de eerste plaats hoeft men maar twee weerstandswaarden in het IC te integreren, hetgeen zeer eenvoudig mogelijk is met behoud van een kleine tolerantie.
Op de tweede plaats kunnen de weerstanden een vrij lage waarde hebben, hetgeen het integratie-proces nog gemakkelijker maakt.
Op de derde plaats is de uitgangsspanning van de schakeling belastingsonafhankelijk. De actieve stroom naar spanning omzetter met behulp van de operationele versterker heeft zelf al een zeer lage uitgangsimpedantie, maar zal iedere afwijking van de ideale uitgangsspanning onmiddellijk dank zij zijn zeer hoge versterking compenseren.

### Een praktische schakeling

In figuur 3/15.2-15 is een praktische schakeling getekend van een DAC die volgens het beschreven principe werkt. De schakeling maakt gebruik van een DAC van het type AD7523 en een willekeurige operationele versterker.

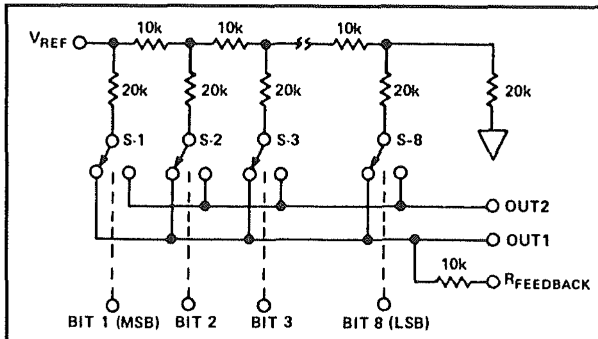
De schakeling kan geijkt worden door de weerstand R1, in serie geschakeld tussen de referentiespanning en de referentie-ingang van het IC, te verdraaien. Men maakt dan alle bits "H" en stelt de weerstand is tot de analoge uitgangsspanning gelijk is aan de maximale waarde die men wil hebben.

De interne schakeling van de AD7523 is getekend in figuur 3/15.2-16.
Daaruit blijkt zeer duidelijk dat dit IC niets meer maar ook niets minder bevat dan het principiële basisschema van figuur 3/15.2-13!




**Figuur 3/15.2-15:** Praktische schakeling van een 8 bit brede DAC die werkt volgens het stroomgestuurde R-2R principe.

**15.2 Digitaal naar analoog omzetting**



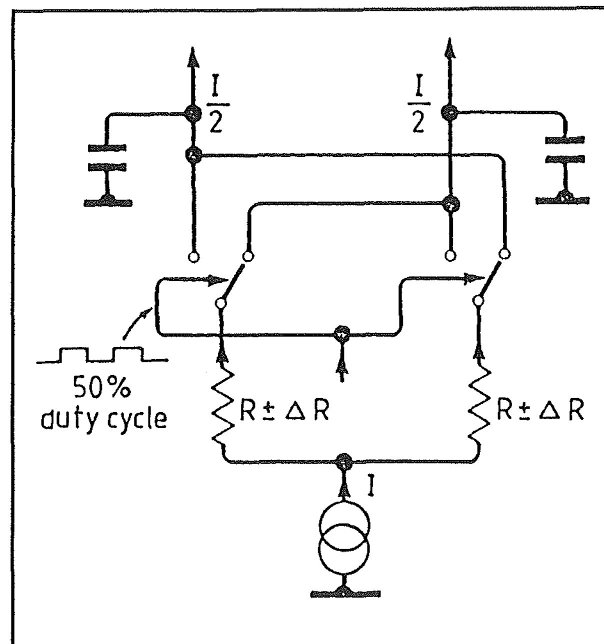

**Figuur 3/15.2-16:** De interne schakeling van de AD7523.

# DAC met dynamic element matching

**Inleiding**
In feite is het stroomgestuurde R-2R systeem te beschouwen als een samenstelling van een aantal stroombronnen, die stromen leveren met een onderlinge verhouding van I tot 2I tot 4I tot 8I enzoverder. Als het aantal bit toeneemt zal ook de verhouding tussen de laagste en de hoogste stroom erg toenemen. Bij een 8 bit systeem bestaat er reeds een stroomverhouding tussen de kleinste en de grootste stroom van 1 op 256! Als het aantal te verwerken bits stijgt, krijgt men problemen met de tolerentie op de weerstanden. Deze afwijkingen bepalen immers in zeer grote mate de onderlinge verhouding van de stromen. Fouten op de weerstandswaarden komen tot uiting in fouten in de stroomverdeling!

Dat gegeven heeft Philips op het idee gebracht niet even veel verschillende stroombronnen in de DAC in te bouwen als er bits te verwerken zijn, maar slechts één. De stroom van deze bron wordt door speciale schakelingen steeds opnieuw heel precies door twee gedeeld, zodat uiteindelijk toch de juiste stroomverhoudingen ontstaan.
Dit principe wordt door de ontwerpers "dynamic element matching" (DEM) genoemd.

**Principe van de systeem**
Het principe van deze techniek is geschetst in figuur 3/15.2-17.

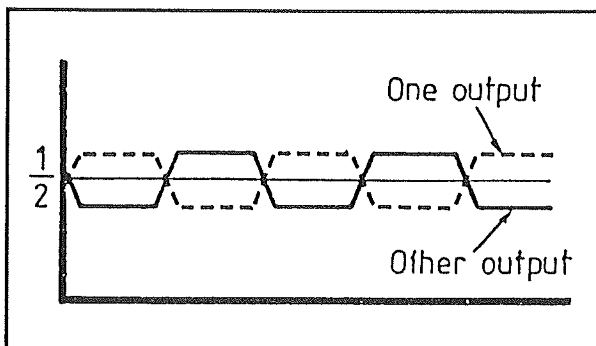



**Figuur 3/15.2-17:** Het principe van het door Philips ontwikkelde "dynamic element matching" systeem.

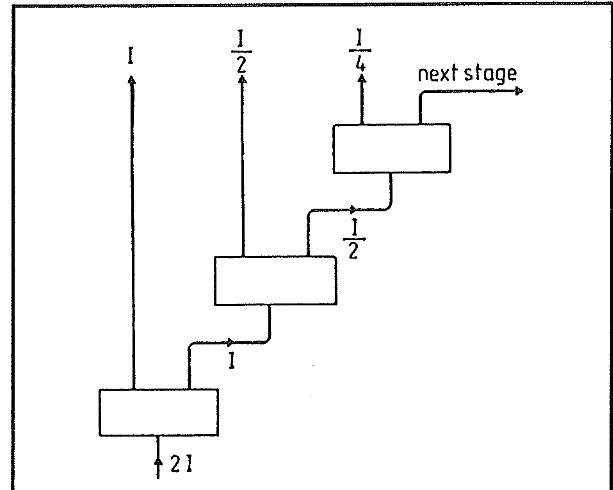
Een stroombron I levert een stroom aan twee identieke weerstanden R. Natuurlijk zijn deze weerstanden niet echt identiek, omdat deze onderdelen ieder geteisterd worden door een bepaalde tolerantie +/-ΔR. De stroom I van de stroombron zal dus omgekeerd evenredig met de reële waarde van de weerstanden over beide ketens verdeeld worden.

**15.2 Digitaal naar analoog omzetting**

De twee niet gelijke stromen die door de weerstanden vloeien worden door middel van twee elektronische schakelaars snel heen en weer geschakeld tussen de twee uitgangen van de schakeling. Dat heen en weer schakelen moet met een duty-sycle van precies 50 % gebeuren. Technisch is dat geen probleem omdat men de schakelaars kan sturen uit de uitgangen van een geclockte type-JK flip-flop.
Deze levert een mooie symmetrische uitgangspuls. Het zal nu duidelijk zijn dat de gemiddelde stromen die naar de uitgangen stromen precies aan elkaar gelijk zijn. De linker stroom bestaan immers voor 50 % uit de stroom die door de linker weerstand geleverd wordt en voor 50 % uit de stroom die door de rechter weerstand geleverd wordt.
Voor de rechter uitgang geldt precies hetzelfde. Een en ander is grafisch toegelicht in figuur 3/15.2-18.
Het volstaat de twee stromen door middel van volledig onkritische condensatoren de middelen om twee gelijkstromen te verkrijgen die binnen de nauwste grenzen aan elkaar gelijk zijn.
Het probleem is verlegd naar het openen en sluiten van elektronische schakelaars met een duty-sycle van precies 50 %. Een digitaal probleem dat zonder moeilijkheden is op te lossen!




**Figuur 3/15.2-18:** Het verloop van de stromen die door de twee uitgangen vloeien.



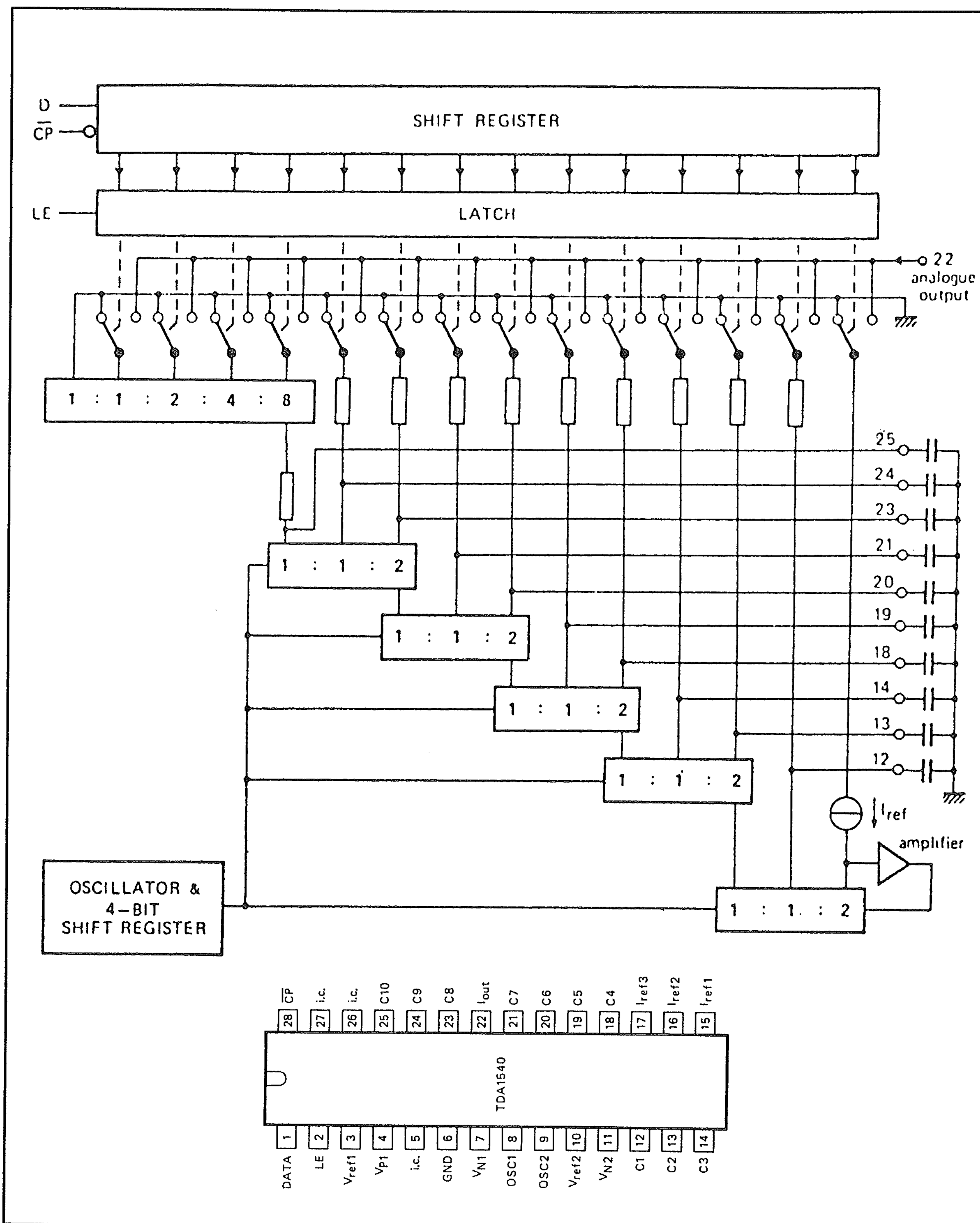

**Figuur 3/15.2-19:** Het cascaderen van DEM-schakelingen voor het genereren van stromen in een 1/2/4/8/16... verhouding.

**Meerdere bits**
Met één DEM-schakeling kan men een stroom I omzetten in twee stromen I/2.

Door diverse identieke schakelingen te cascaderen volgens figuur 3/15.2-19 kan men uit de ene basisstroombron I stromen genereren van I/2, I/4, I/8, enzoverder.

**Praktische schakeling**
In de praktische DEM-schakelingen wordt het principe verder uitgewerkt. Een stroom 4.I wordt nu door een ingewikkelder schakelaarsysteem omgezet in drie stromen van respectievelijk 1.I, 1.I en 2.I. Een van de stromen 1.I wordt dan weer gebruikt als basis voor het volgende element uit de gecascadeerde keten, zodat stromen van 1/4.I, 1/4.I en 1/2.I ontstaan.

Figuur 3/15.2-20 geeft het volledige interne blokschema van een 16 bit brede DAC die volgens het DEM-principe werkt.



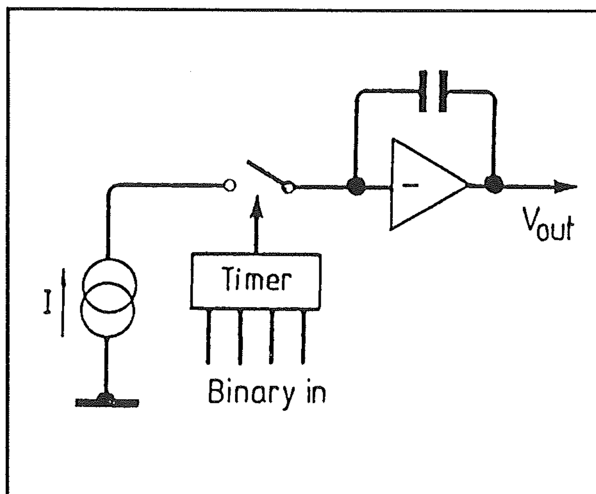

**Figuur 3/15.2-20:** Blokschema van de TDA1540, een 16 bit brede DAC die werkt volgens het dynamic element matching principe.

**15.2 Digitaal naar analoog omzetting**

# Integrator-DAC met variabele pulssturing

## Principe

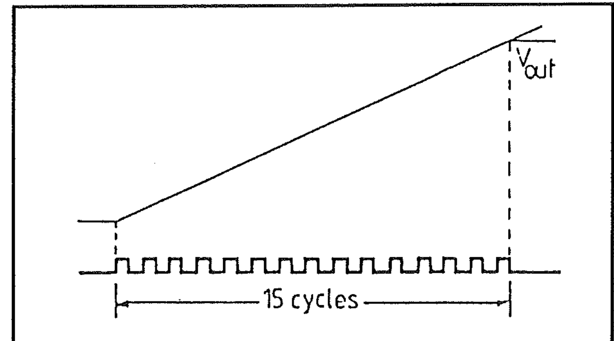
Ook Sony heeft een alternatief ontwikkeld voor het stroomgestuurde R-2R systeem. Er wordt, net zoals bij het Philips systeem, uitgegaan van één stroombron. Het basisprincipe van de "integrator-DAC met variabele pulsturing", voor de eenvoud toegepast op een 4 bit systeem, is getekend in figuur 3/15.2-21.




**Figuur 3/15.2-21:** Het basisprincipe van de DAC volgens het "integrator-procédé met pulssturing".

De stroombron I is via een elektronische schakelaar aangesloten op een integrator. Als een integrator gestuurd wordt met een constante stroom, dan zal de uitgangsspanning van de schakeling een lineair stijgende gelijkspanning zijn waarvan de stijgtijd evenredig is met de grootte van de constante stroom.

De binaire code op de ingangen wordt door een timer omgezet in een eenmalige pulstrein.




**Figuur 3/15.2-22:** De waarde van de analoge uitgangsspanning wordt bepaald door het aantal pulsjes dat de timer aan de schakelaar levert.

Het aantal pulsjes in deze spanning is gelijk aan het binaire gewicht van de samenstelling van de digitale code.

Als de code "L-L-L-L" is, dan levert de timer geen pulsjes. Is de code gelijk aan "L-L-L-H", dan zal de timer een smal pulsje leveren dat de schakelaar even sluit. Is de code gelijk aan "H-H-H-H" dan levert de timer, zie figuur 3/15.2-22, een pulstrein die is samengesteld uit 15 pulsjes.

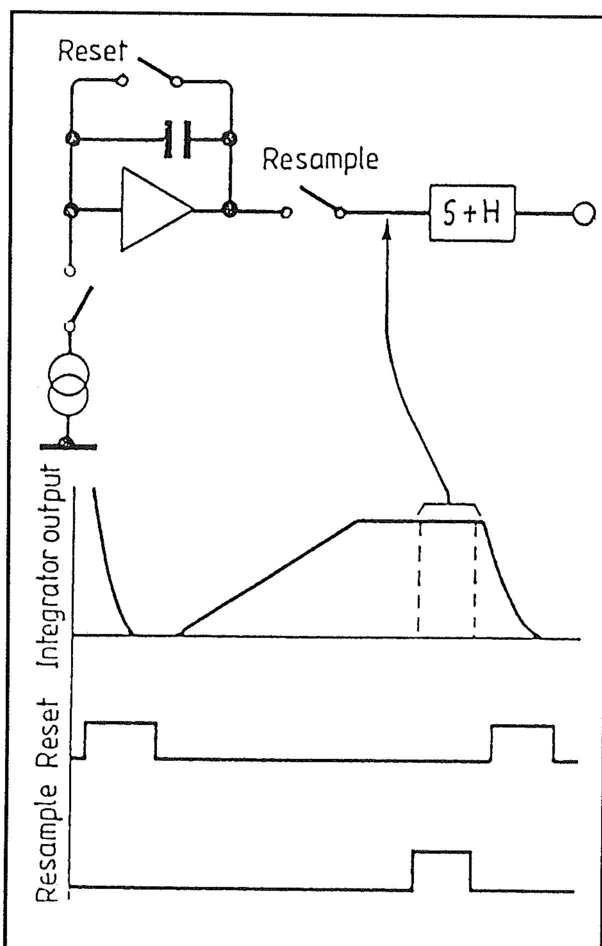
De uitgangsspanning zal nu recht evenredig zijn met het aantal pulsjes in de pulstrein, daar zorgt de integrator wel voor. Zorgen 15 pulsjes voor een uitgangsspanning van 150 mV, dan zal een pulstrein met slechts 7 pulsjes een analoge uitgangsspanning van 70 mV tot gevolg hebben.

Het analoge probleem van de nauwkeurigheid van de stroombron(nen) wordt ook nu handig omzeild en verlegd naar een digitaal probleem: zet de binaire code op de ingangen om in een pulstrein. Een probleem dat zonder enige onnauwkeurigheid opgelost kan worden!

Op de uitgang verschijnt gedurende de conversie een zaagtandvormige spanning.

**15.2 Digitaal naar analoog omzetting**

Alleen de eindwaarde van deze zaagtand is echter van belang. Het zal duidelijk zijn dat het noodzakelijk is deze eindwaarde na het omzettingsproces te bewaren in een sample and hold schakeling. Nadat de volgende conversie voltooid is volstaat het de nieuwe topwaarde van de zaagtand weer in de S&H in te lezen. Op de uitgang van de S&H ontstaat een trapvormige spanning, waarbij iedere trapspanning overeen komt met het analoge equivalent van de digitale codes op de ingangen van de DAC.
Dit proces is grafisch toegelicht in figuur 3/15.2-23.




**Figuur 3/15.2-23:** De volledige digitaal naar analoog omzetting volgens het Sony-procédé.

Nadat de integrator de eindwaarde van de zaagtand heeft gegenereerd wordt door middel van de "RESAMPLE"-puls deze topwaarde via de RESAMPLE-schakelaar overgedragen naar de sample and hold schakeling. Nadien wordt een RESET-puls gegeven, die een schakelaar over de integrator-condensator sluit. De integrator gaat naar nul, de schakeling is klaar voor het verwerken van de volgende digitale ingangscode.

**Voor- en nadelen van het systeem**
Enig bezwaar van de schakeling is dat de frequentie van de pulsjes uit de pulstrein gelijk moet zijn aan het aantal codecombinaties dat de digitale ingangscode kan bevatten, vermenigvuldigd met het aantal codecombinaties dat per seconde aan de DAC wordt aangelegd.

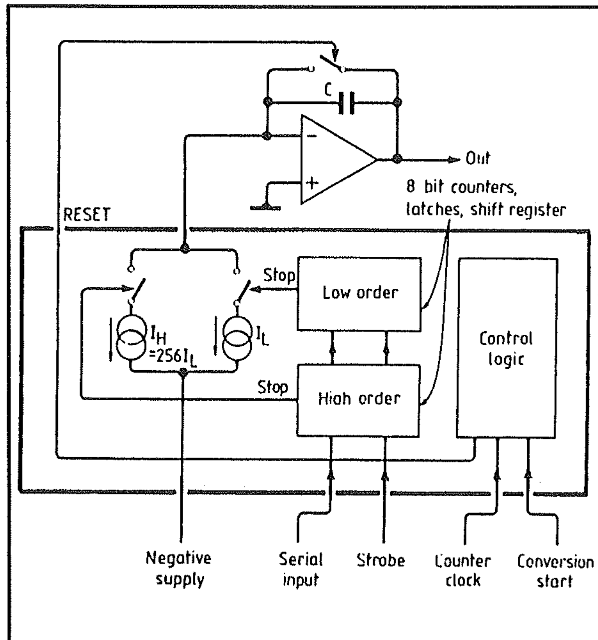
Voordeel is echter dat de schakeling absoluut geen last heeft van glitches, dit vanwege de integrator en de noodzakelijke sample and hold.

**Praktische schakeling**
In figuur 3/15.2-24 is een praktische schakeling getekend die werkt volgens het integrator-systeem met variabele pulssturing.

De DAC van het type CX20017 is door Sony ontwikkeld als CD-DAC en werkt met 16 bit brede ingangscodes.

Er wordt gebruik gemaakt van twee stroombronnen, die stromen in een verhouding van 1/256 leveren. De 16 bits aan de ingang worden verdeeld in twee groepen van 8 bits. Iedere groep stuurt een van de twee stroombronnen. Op deze manier wordt het probleem van de hoge kloksnelheid omzeild.

## 15.2 Digitaal naar analoog omzetting




**Figuur 3/15.2-24:** Praktische schakeling die werkt volgens het integrator-principe met variabele pulssturing.

# Algemene opmerking

De twee als laatste beschreven principes zijn DAC-systemen die speciaal zijn ontwikkeld voor de hoge eisen die worden gesteld aan DAC's in CD-spelers. Het is echter logisch dat deze ontwikkelingen ook bruikbaar zijn voor normale toepassingen van DAC-schakelingen.

Naast de DEM- en integrator-systemen zijn er op dat specifieke CD-gebied nog een aantal zeer speciale DAC-systemen ontwikkeld. Voor een beschrijving daarvan wordt verwezen naar hoofdstuk 5/7.5.

## 15.2 Digitaal naar analoog omzetting

# 3/15.3

# ADC met DAC in terugkoppeling

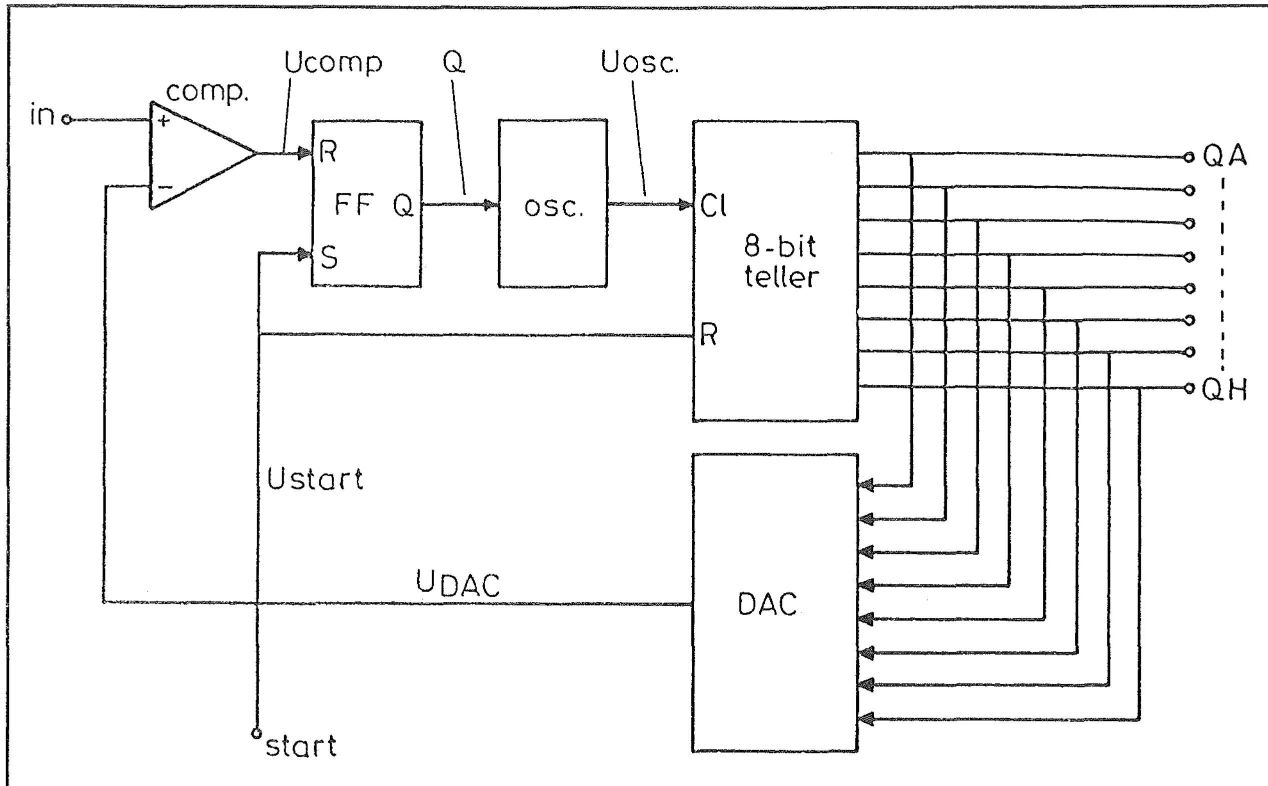
## Inleiding

**Principe**
De meeste analoog naar digitaal omzetters die op de markt zijn werken volgens een teruggekoppeld principe. De analoge ingangsspanning wordt in een comparator vergeleken met een stapspanning die afkomstig is van een in de schakeling aanwezige digitaal naar analoog omzetter. Deze DAC wordt gestuurd uit de uitgangen van de ADC.
Als de trapspanning gelijk wordt aan de om te zetten ingangsspanning kan men stellen dat de schakeling haar werk goed gedaan heeft en dat de digitale code op de uitgangen een zo goed mogelijke binaire gewichtsbenadering vormt van de analoge ingangsspanning.
Op dat moment wordt het omzettingsproces gestopt, levert de schakeling een "EINDE CONVERSIE" puls en kan men de digitale code op de uitgangen verwerken.

**Soorten ADC's met DAC**
Er bestaan drie praktische uitvoeringen van het terugkoppelingsprincipe.
- De RAC ADC
  RAC staat voor "Ramp And Compare", letterlijk vertaald "maak een zaagtand en vergelijk". Deze schakeling wekt uit zijn eigen uitgangscode een stapspanning op die een zaagtand benadert en stopt de omzetting als deze zaagtand groter wordt dan de ingangsspanning. Uiteraard wordt de zaagtand opgewekt door de in de schakeling aanwezige DAC.
- De tracking ADC
  Nu wordt er uit de ingebouwde DAC geen zaagtandspanning afgeleid, maar een stapspanning die het verloop van de ingangsspanning zo goed mogelijk volgt. Als aan de ingang een zuivere gelijkspanning wordt gelegd zal de uitgangscode van dergelijke ADC steeds met één bit rond de ideale waarde schommelen.
- De SAR ADC
  SAR staat voor "Succesive Approximation Register", vrij vertaald "register dat zorgt voor opeenvolgende benadering". Hierbij wordt een speciaal digitaal register, een SAR, gebruikt voor het sturen van de DAC in de terugkoppeling. Deze zorgt ervoor dat de uitgangsspanning van de DAC zo snel mogelijk gelijk wordt aan de ingangsspanning.

De drie schakelingen wijken in nauwkeurigheid niet fundamenteel van elkaar af. Het grote verschil zit in de verwerkingssnelheid.
De drie uitvoeringen van het terugkoppelingsprincipe zijn van traag naar snel opgesomd.

## 15.3 ADC met DAC in terugkoppeling




Figuur 3/15.3-1: Het principiële blokschema van een RAC ADC.

Het zal duidelijk zijn dat het meer tijd kost om voor iedere omzetting een zaagtand van nul op te bouwen tot de waarde van de ingangsspanning als door middel van een SAR in hoogstens een tiental klokperioden de ingangsspanning te benaderen. In de volgende subhoofdstukken worden de drie principes verder uitgewerkt.

# RAC ADC

### Principe

Het principe van deze schakelingen komt er op neer dat een teller gestuurd wordt uit een klokoscillator.
De uitgangen van deze teller worden aangeboden aan een digitaal naar analoog omzetter. De analoge uitgangsspanning van deze schakeling wordt in een comparator vergeleken met de ingangsspanning.
Als beide spanningen aan elkaar gelijk zijn wordt de klokoscillator geblokkeerd zodat de teller stopt en de digitale tegenwaarde van de analoge ingangsspanning op de uitgangen ter beschikking staat.

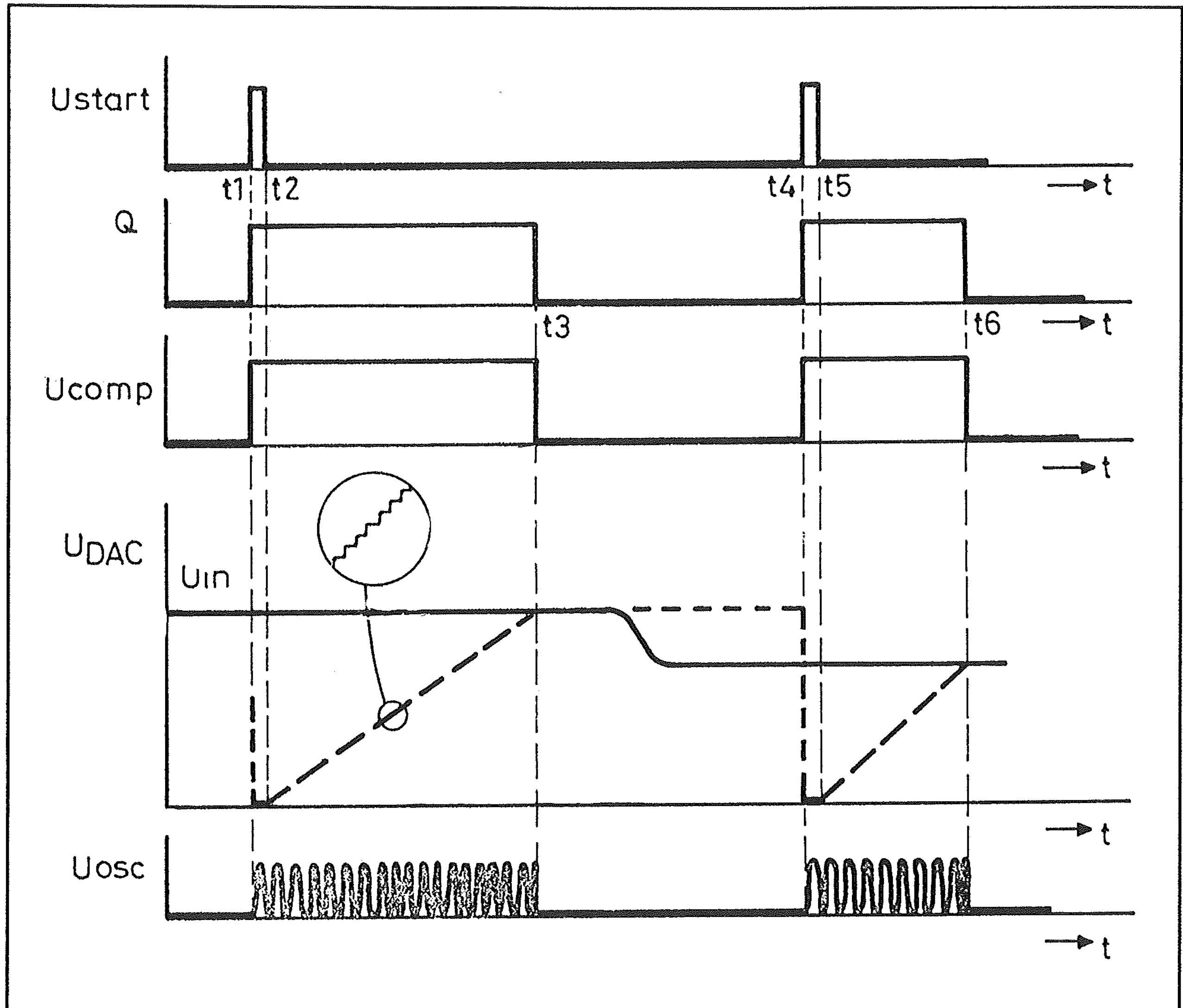
### Blokschema

Het blokschema van een typische acht bit brede RAC ADC is getekend in figuur 3/15.3-1.

De werking van de schakeling wordt toegelicht aan de hand van de grafieken van figuur 3/15.3-2.

Een omzettingscyclus start door het aanleggen van een START-puls op de gelijknamige ingang.

## 15.3 ADC met DAC in terugkoppeling




**Figuur 3/15.3-2:** De werking van de RAC ADC grafisch toegelicht.

Hierdoor wordt een flip-flop geset en de teller gereset. Alle acht de uitgangen van de schakeling gaan naar "L". Doordat de uitgangscode "L-L-L-L-L-L-L-L" wordt zal de analoge uitgangsspanning van de digitaal naar analoog omzetter naar 0 V gaan. Het gevolg is dat deze spanning in ieder geval kleiner is dan de waarde van de om te zetten analoge ingangsspanning. De uitgang van de comparator wordt "H".

De hoge Q-uitgang van de flip-flop start de ingebouwde oscillator. Hoewel deze schakeling begint met het leveren van pulsen aan de teller zal deze schakeling nog niet gaan tellen. Dat gebeurt pas als de START-puls wegvalt en de RESET van de teller wordt vrijgegeven. De acht uitgangen van de teller doorlopen de normale binaire code. Het gevolg is dat de uitgangsspanning van de DAC zaagtandvormig zal stijgen. Daar iedere codewijziging overeen komt met een verhoging van het gewicht met één bit, zal de uitgangsspanning van de DAC steeds bij iedere klokpuls met de stapgrootte van de DAC stijgen.

**15.3 ADC met DAC in terugkoppeling**

Dit proces gaat verder tot de uitgangsspanning van de DAC gelijk wordt aan de ingangsspanning. Op dat moment (t3) klapt de comparator om. De negatieve uitgangspuls op de uitgang van de comparator reset de flip-flop. De oscillator wordt daardoor uitgeschakeld, het systeem blijft stabiel in de evenwichtstoestand waarbij beide analoge spanningen aan elkaar gelijk zijn.

Na een tijdverloop (t3 - t1) staat er dus op de uitgangen van de schakeling een digitale code waarvan de som van de gewichten overeen komt met de grootte van de ingangsspanning.

Het zal duidelijk zijn dat er bij praktische schakelingen na de teller nog een bufferregister volgt, waarin de digitale code wordt opgeslagen totdat de volgende omzetting voltooid is. Op deze manier wordt voorkomen dat het telproces op de uitgangen te volgen is. Bovendien staat dan een serie codes op de uitgangen van het bufferregister die het verloop van de ingangsspanning volgt, zonder dat deze serie codes verstoord wordt door het telproces zélf.

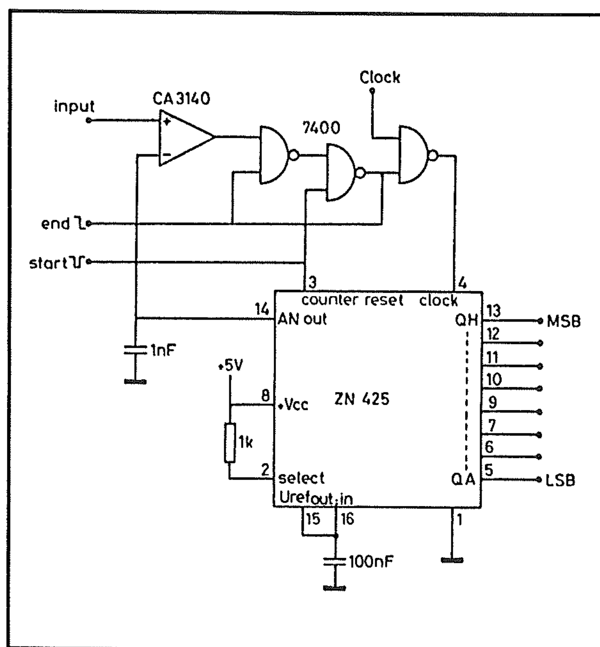
**Eigenschappen**
Een RAC ADC kan zeer goedkoop worden geïntegreerd. Het grote nadeel van de schakeling is echter dat zij zeer traag werkt. Bij iedere cyclus moet de comparerende spanning uit de DAC immers weer van nul af worden opgebouwd.

Een voorbeeld zal dit probleem verduidelijken.
Stel dat een digitaal echo-apparaat wordt ontworpen waarbij het audiosignaal met acht bit bemonsterd moet worden. Wil men de 20 kHz bandbreedte van dit signaal vervormingsvrij verwerken, dan moet men bemonsteren met een frequentie van 40 kHz.
Een omzetting kan bijgevolg slechts 25 µs duren. Een acht bit teller heeft 256 stappen. Deze stappen moeten in die 25 µs doorlopen worden. Een stap mag dus slechts 97 ns duren. Dat is meteen de periode van het kloksignaal. Uit deze periode kan men de klokfrequentie berekenen als 10,30 MHz. Het zal duidelijk zijn dat men bij dergelijke klokfrequenties te maken krijgt met glitch- en vertragingseffecten en dat aan de verwerkingssnelheid van de comparator zeer hoge eisen worden gesteld.

Een RAC ADC is echter wél ideaal voor het inlezen van langzaam variërende meetgrootheden in het geheugen van een computer.
Dan speelt immers de trage omzettingssnelheid geen grote rol. Vanwege de START en EINDE CONVERSIE signalen die uit de schakeling afgeleid kunnen worden, is een RAC ADC een ideale partner voor een computerbus.

**Voorbeeld**
In figuur 3/15.3-3 is een praktische schakeling van een RAC ADC getekend, samengesteld rond de ZN 424 van Ferranti. Bij deze schakeling moeten de comparator, de flip-flop en de klok extern worden opgebouwd. Het IC zélf bevat de teller, de DAC en de referentiespanning voor de DAC.
De flip-flop is in dit voorbeeld samengesteld uit twee NAND-poorten uit een 7400.
De derde poort uit dit IC wordt als echte poort gebruikt voor het wel of niet doorlaten van de pulsen van de klokoscillator.

## 15.3 ADC met DAC in terugkoppeling




**Figuur 3/15.3-3:** Schema van een praktische RAC ADC met een IC van Ferranti.

### Zelfbouw RAC ADC

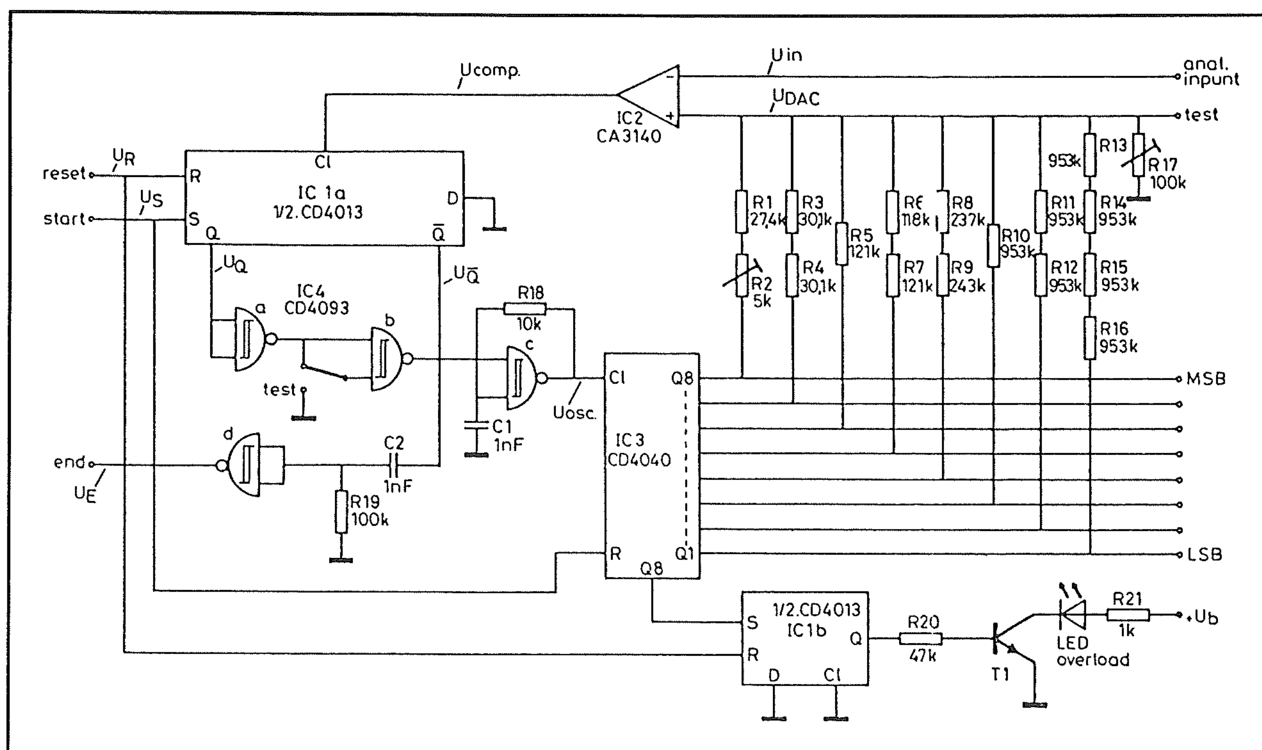
Een voordeel dat zeker de doe-het-zelver zal aanspreken is dat de RAC ADC de enige soort ADC is die zich leent voor zelfbouw.
Uiteraard moet men dan niet al te hoge eisen stellen aan snelheid en nauwkeurigheid. Maar voor een heleboel toepassingen kan zo'n zelf ontworpen schakeling erg bruikbaar zijn.

In figuur 3/15.3-4 wordt als voorbeeld een geteste schakeling gegeven met drie standaard CMOS-schakelingen en een opamp. De op-amp vervult de rol van comparator.
De flip-flop is opgebouwd uit een helft van een CD 4013. Als oscillatorschakeling wordt gebruik gemaakt van een Schmitttrigger poort uit een CD 4093. Twee overige poorten uit dit IC worden gebruikt om de schakeling een testmode te geven. Schakelt men S1 om, dan zal de teller continu pulsen tellen en kan men het gewogen weerstandsnetwerk aan de uitgang van de teller, de DAC, afregelen op maximale lineariteit. Men schakelt in deze stand een oscilloscoop op de test en verdraait de loper van R2 tot alle trapjes van de zaagtandvormige benadering even groot zijn.
De tweede flip-flop uit de CD 4013 wordt gebruikt als overbereik indicatie. Levert Q8 van de teller een puls af dan betekent dit dat de schakeling meer dan 256 pulsen geteld heeft en dat de ingangsspanning te groot is voor het bereik van de schakeling. De flip-flop wordt geset, de Q-uitgang stuurt via de transistor T1 een LED.
De vierde poort uit de CD 4093 wordt gebruikt voor het genereren van een mooie EINDE CONVERSIE puls.
Met behulp van potentiometer R17 kan men het meetbereik van de schakeling aanpassen aan de maximale grootte van de ingangsspanning.

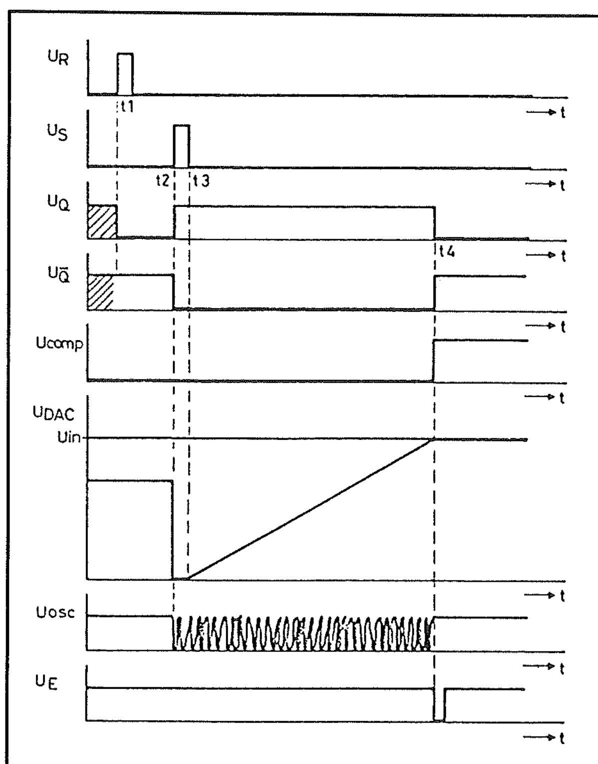
Treedt een overbereik situatie op, dan zal de comparator niet omslaan omdat de uitgangsspanning van het gewogen weerstandsnetwerk nooit groter wordt dan de ingangsspanning.
De schakeling blijft dan rondjes draaien. Maar men wordt geattendeerd op dit verschijnsel doordat de LED gaat branden. Na het verlagen van de ingangsspanning en het resetten van de schakeling (positieve puls op de reset) wordt de schakeling weer in stand-by gezet en wacht op de volgende startpuls.

De werking van de schakeling zal duidelijk worden na het bestuderen van het timingdiagram dat in figuur 3/15.3-5 is getekend.

**15.3 ADC met DAC in terugkoppeling**




**Figuur 3/15.3-4:** Zelfbouwschema van een RAC ADC met slechts vier goedkope IC's.




**Figuur 3/15.3-5:** Pulsendiagram van de zelfbouw RAC ADC uit figuur 3/15.3-4.

# Tracking ADC

## Principe

De tracking ADC is een verfijning van de RAC ADC.

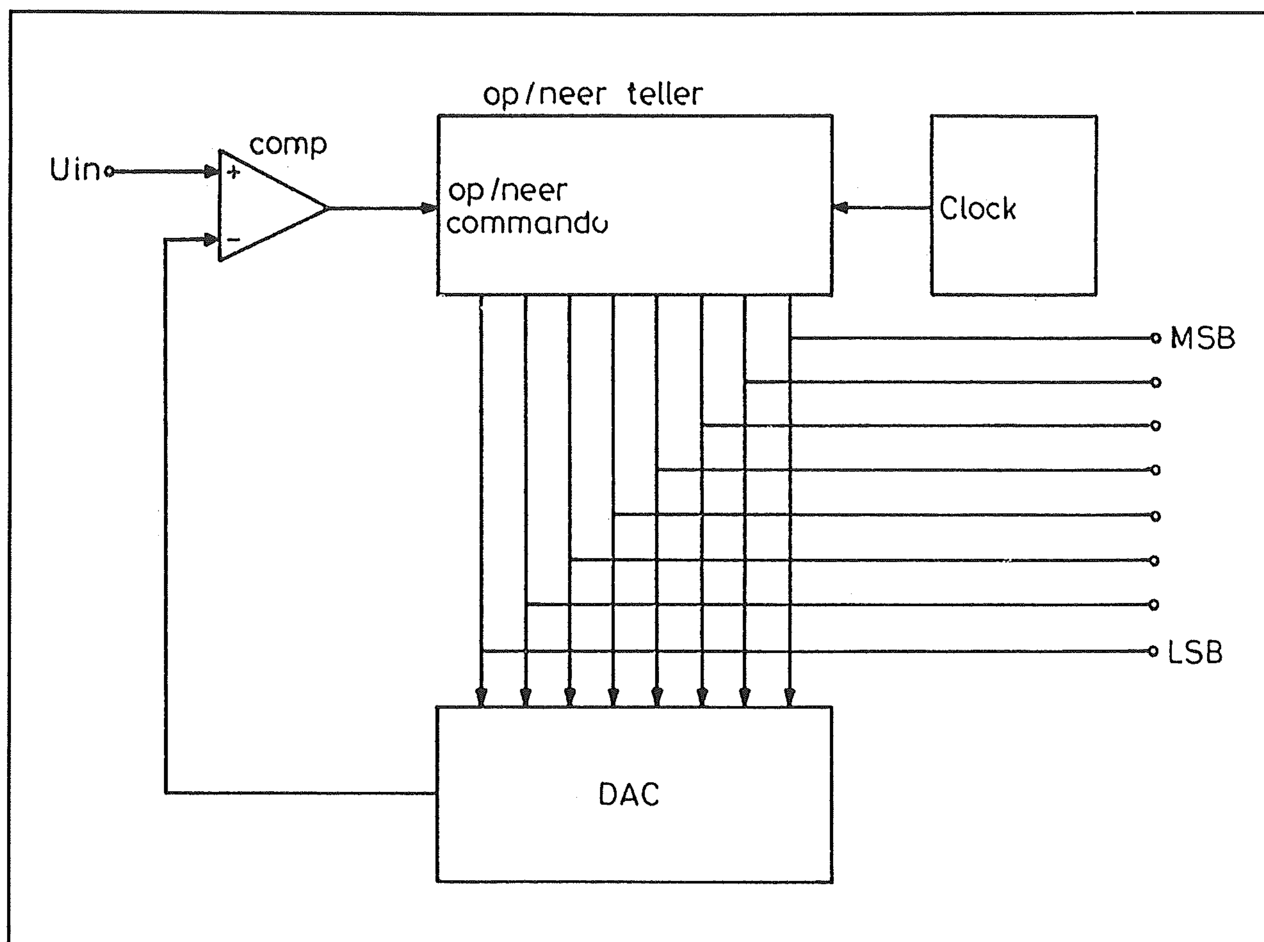
De belangrijkste verbetering is het verhogen van de omzettingssnelheid.

Dat is een gevolg van het feit dat de digitale code op de uitgangen het verloop van de analoge ingangsspanning als het ware van cyclus tot cyclus volgt.

Er wordt dus niet na iedere cyclus gereset.

De normale teller van de RAC ADC wordt vervangen door een op en neer teller. Daalt de analoge ingangsspanning, dan wordt de teller in de neermodus gestuurd, zodat het equivalente gewicht van de digitale code daalt totdat dit weer gelijk is aan de nieuwe waarde van de ingangsspanning.

## 15.3 ADC met DAC in terugkoppeling



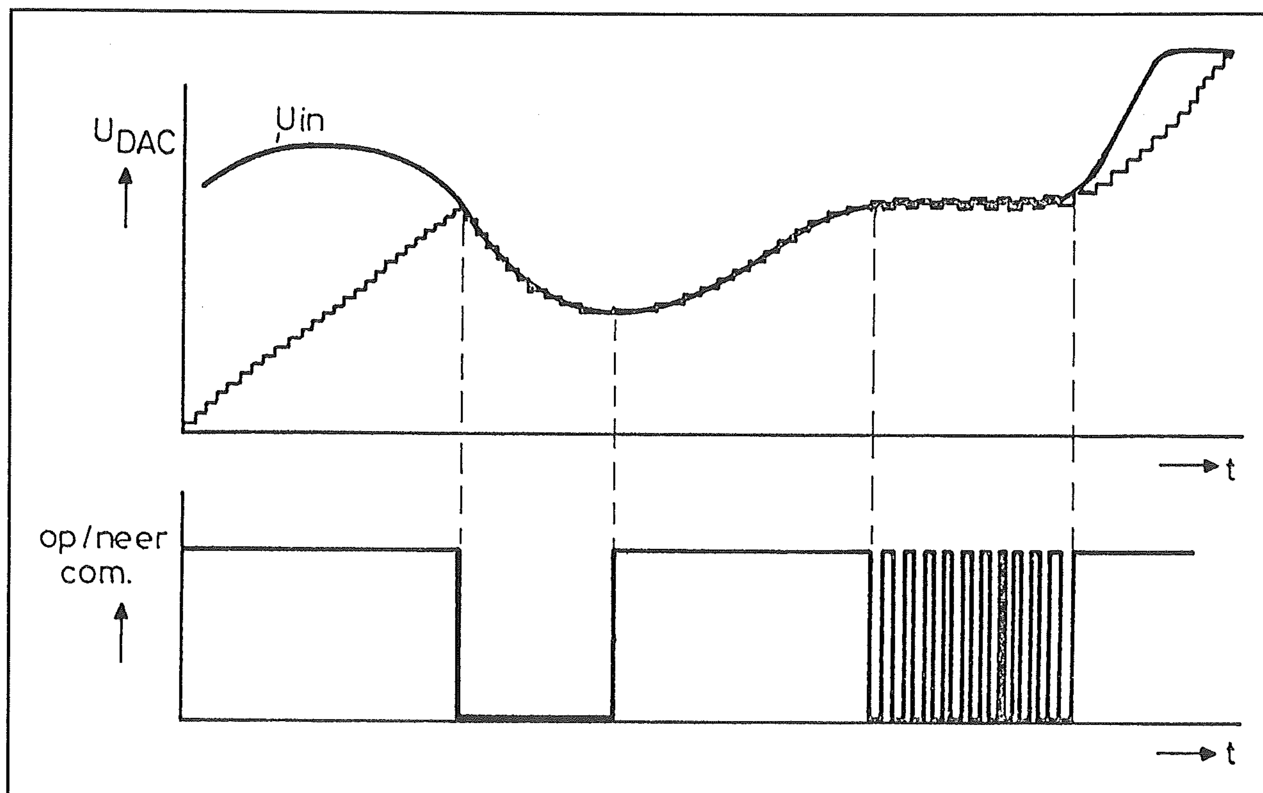

**Figuur 3/15.3-6:** Het principiële blokschema van een tracking ADC.

Stijgt de ingangsspanning weer, dan gaat de teller naar de opmodus, zodat het equivalente gewicht van de digitale code zich snel aanpast aan de stijgende ingangsspanning.

**Blokschema**
In figuur 3/15.3-6 is het blokschema van een tracking ADC getekend. De werking wordt toegelicht aan de hand van de grafieken van figuur 3/15.3-7.

Bij het aanschakelen van de voeding is de teller gereset. De uitgangscode is dan "L-L-L-L-L-L-L-L". De DAC levert 0 V aan de comparator. De uitgangsspanning van de comparator stuurt de op/neer teller in de opmodus. De schakeling werkt op dit moment als een RAC ADC.
Als de uitgangsspanning van de DAC groter wordt dan de ingangsspanning klapt de comparator om. De op/neer teller wordt nu in de neermodus gestuurd. De volgende puls van de klokoscillator vermindert het gewicht van de digitale code met één eenheid. Het gevolg is dat de uitgangsspanning van de DAC iets lager wordt en weer kleiner wordt dan de ingangsspanning.
De comparator slaat om, de teller gaat weer naar de opmodus. Op deze manier zal de uitgangscode steeds met één bit oscilleren rond de waarde van de ingangsspanning.

15.3 ADC met DAC in terugkoppeling




**Figuur 3/15.3-7:** De werking van een tracking ADC grafisch toegelicht.

### Voorbeeldschakeling

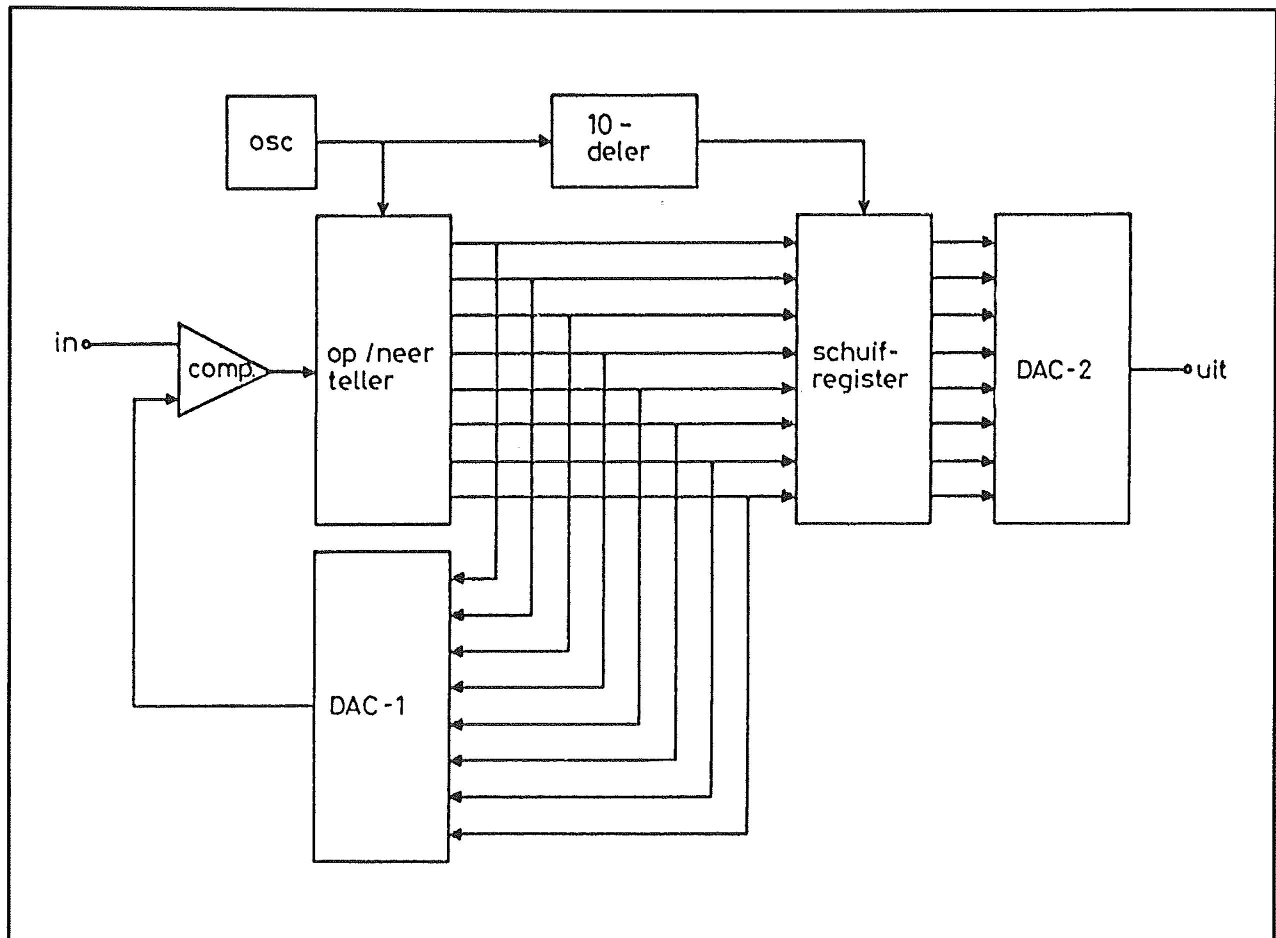
In figuur 3/15.3-8 is als voorbeeld van het gebruik van een tracking ADC een digitale vertragingslijn voor audiosignalen getekend. De digitale uitgangen van de ADC worden aangeboden aan de ingangen van een schuifregister. De uitgangen van dit register worden door een tweede DAC omgezet in een analoge spanning. Het schuifregister wordt geklokt met een tiende van de klokfrequentie van de tracking ADC.
Een op de tien monsters die de ADC van het analoge ingangssignaal neemt, wordt in het schuifregister ingelezen. Afhankelijk van de lengte van het register zullen deze monsters vertraagd in de tijd uit het register komen en omgezet in een analoge spanning. Als men 40.000 monsters per seconde wil nemen moet de klokoscillator op 400 kHz werken.

# SAR ADC

### Principe

De werking van een SAR ADC kan het best toegelicht worden aan de hand van een alledaags voorbeeld.
Stel dat men het gewicht van een voorwerp moet bepalen met een apothekersbalans.
Het voorwerp wordt in de ene schaal gelegd, de bedoeling is dat er in de andere schaal gewichten worden gelegd totdat de balans in evenwicht is.
Wie volgens het principe van de RAC ADC zou werken zou niets anders dan gewichtjes van een gram op de schaal leggen totdat de balans omsloeg en nadien het gewicht van het voorwerp bepalen door het aantal gewichtjes van een gram op te tellen.

## 15.3 ADC met DAC in terugkoppeling




**Figuur 3/15.3-8:** Een analoge vertragingslijn voor audiosignalen, uitgevoerd met een tracking ADC.

Wie volgens het systeem van de SAR ADC zou werken zou eerst een gewicht van een kilogram in de schaal leggen. Slaat de balans dan door, dan wordt het gewicht weer verwijderd en vervangen door een gewicht van 500 gram. Is dit te weinig, dan wordt dit gewicht aangevuld met een van 250 gram. Slaat de balans dan weer door, dan wordt dit twee gewicht verwijderd en vervangen door een van 125 gram. Op deze manier zou men heel snel het gewicht van het voorwerp kunnen bepalen. De SAR ADC werkt op dezelfde manier!

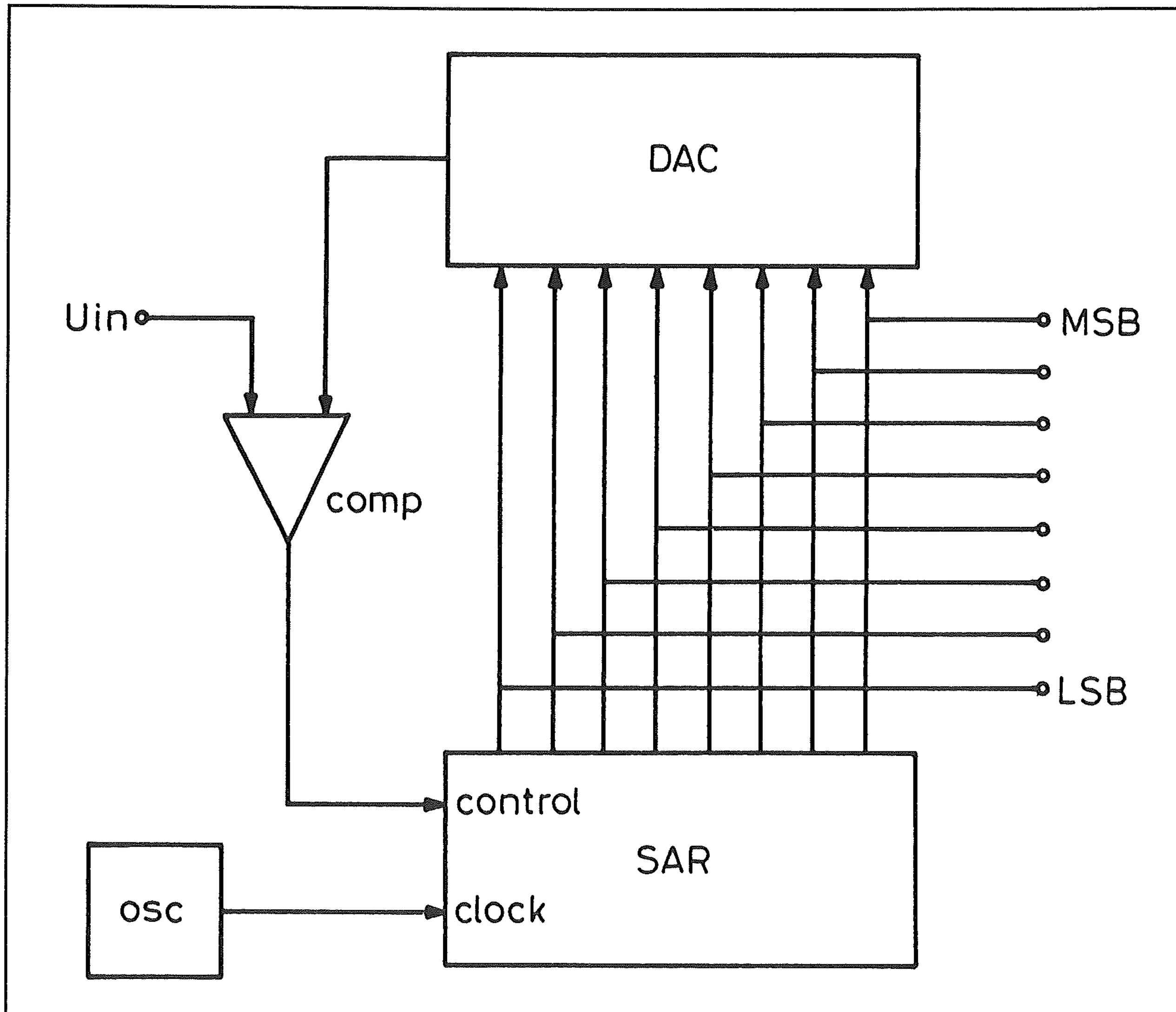
**Blokschema en werking**

Het blokschema van een SAR ADC is getekend in figuur 3/15.3-9, de timing van de schakeling volgt uit de grafieken van figuur 3/15.3-10.

Voor de eenvoud is de timing getekend voor een vijf bit brede schakeling.

Na de eerste klokpuls (t1) maakt de SAR het hoogste bit Qe "H". De DAC wekt een analoge spanning op gelijkwaardig aan het gewicht van dit bit. Deze spanning wordt weer vergeleken met de ingangsspanning van de ADC. De comparator geeft een signaal "spanning te hoog" af aan de controle-ingang van de SAR. Bij de volgende klokpuls wordt Qe weer "L". De uitgangsspanning van de DAC gaat naar nul en de comparator stuurt een signaal "spanning te laag" naar de controle van de SAR.

**15.3 ADC met DAC in terugkoppeling**




**Figuur 3/15.3-9:** Het principiële blokschema van een SAR ADC.

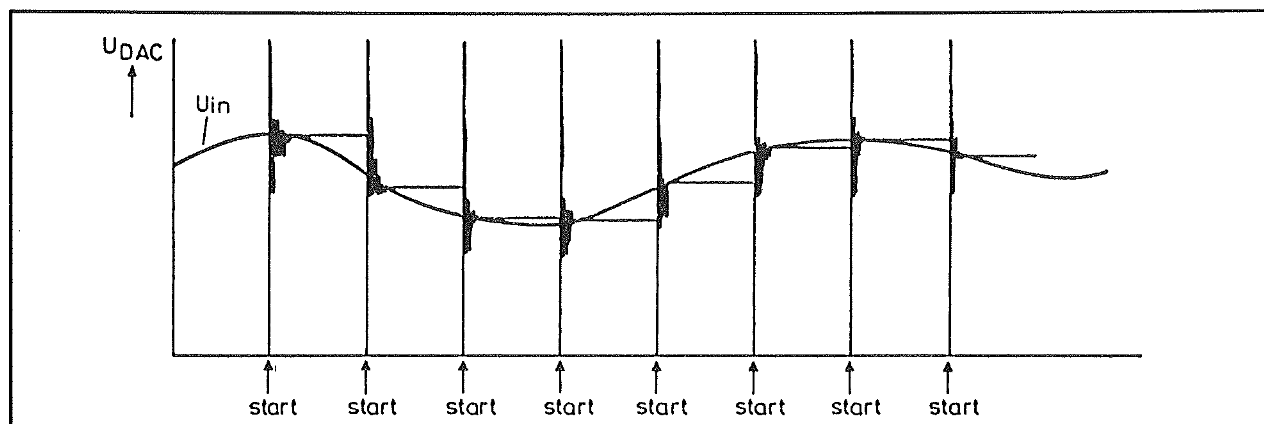
Bij de volgende klokpuls wordt het op een na hoogste bit Qd "H" gemaakt. De uitgangsspanning van de DAC is nog steeds kleiner dan de ingangsspanning, de SAR krijgt van de comparator een signaal "spanning te klein".
Bij de volgende klokpuls wordt nu ook het derde hoogste bit Qc "H" gemaakt.
De DAC levert de analoge uitgangsspanning die overeen komt met het digitale gewicht van de twee hoge bits aan de comparator.
Nu is deze spanning echter groter dan de ingangsspanning.
Bij de volgende klokpuls wordt Qc weer "L" gemaakt, het signaal "spanning te laag" zorgt ervoor dat bij de volgende klokpuls Qb "H" wordt.

Op deze manier tast de SAR in snel tempo alle combinaties van MSB naar LSB af, totdat een evenwicht is gevonden waarbij de uitgangscode oscilleert rond de waarde van de ingangsspanning.

## 15.3 ADC met DAC in terugkoppeling



**Figuur 3/15.3-10:** De timing van een SAR ADC.



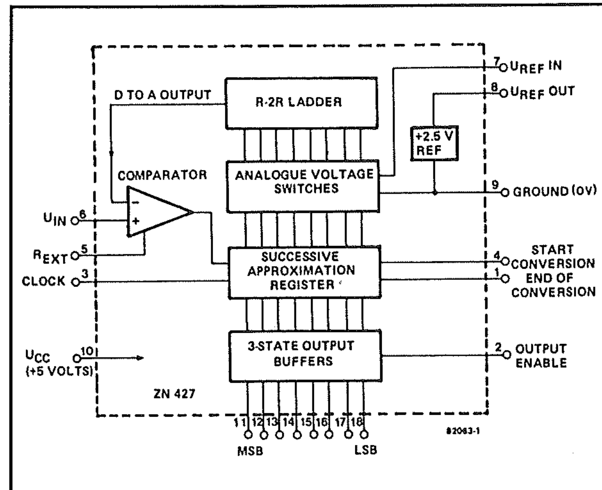

**Figuur 3/15.3-11:** Vergelijking van de analoge ingangsspanning en de equivalente analoge uitgangsspanning van een SAR ADC.

### 15.3 ADC met DAC in terugkoppeling

Als dit proces op iets ruimere tijdschaal wordt getekend ontstaat het beeld van figuur 3/15.3-11.

In deze grafiek wordt de analoge ingangsspanning van een SAR ADC vergeleken met de equivalente analoge uitgangsspanning van de schakeling, dat is de uitgangsspanning van de ingebouwde DAC. Hieruit blijkt duidelijk dat er na iedere startpuls een korte oscillatieperiode optreedt, waarin de SAR de digitale uitgangscode van de schakeling optimaliseert.

**Voorbeeld**
In figuur 3/15.3-12 is als voorbeeld het interne blokschema van een SAR ADC getekend die min of meer een industriestandaard is geworden: de 8 bit brede omzetter van het type ZN 427 van Ferranti.




**Figuur 3/15.3-12:** Intern blokschema van de ZN 427 SAR ADC van Ferranti.

Zoals uit deze tekening blijkt beschikt een standaard SAR ADC over een tri-state uitgangsbuffer, een interne referentie voor het sturen van de ingebouwde DAC en een END OF CONVERSION uitgang.

# 3/15.4
# ADC volgens zaagtand-principe

## Principes

**Inleiding**

Bij dit soort omzetters wordt een analoge ingangsspanning omgezet in een zaagtandvormige spanning. De periode van de zaagtand is recht evenredig met de grootte van de analoge spanning aan de ingang van de omzetter. Deze periodeduur wordt nadien gebruikt voor het openen van de poort van een teller. Deze teller telt pulsen die door een stabiele klokoscillator worden geleverd. Het zal duidelijk zijn dat hoe langer de poort open is, hoe meer pulsen er worden geteld. Omdat er een lineair verband bestaat tussen de openingstijd van de poort en de periode van de zaagtand zal er ook een lineair verband te vinden zijn tussen dat aantal pulsen en de periode van de zaagtand. Maar omdat de periode van de zaagtand weer recht evenredig is met de grootte van de analoge ingangsspanning zal ook het aantal getelde pulsen recht evenredig zijn met de grootte van de ingangsspanning.

Zorgt een ingangsspanning van 1 V ervoor dat precies 1.000 pulsen worden geteld, dan is het de bedoeling van het systeem dat er 1.234 pulsen worden geteld als de analoge spanning aan de ingang wordt vergroot tot 1,234 V. Vanwege deze omzetting van de grootte van de ingangsspanning in een aantal getelde pulsen zal het duidelijk zijn dat het zaagtand-principe zich uitstekend leent voor het opbouwen van digitale voltmeters.
Vrijwel alle bekende IC's, zoals de ICL7107 of de CA3161/3162 combinatie, die gebruikt worden voor het opbouwen van digitale voltmeters werken volgens dit principe.

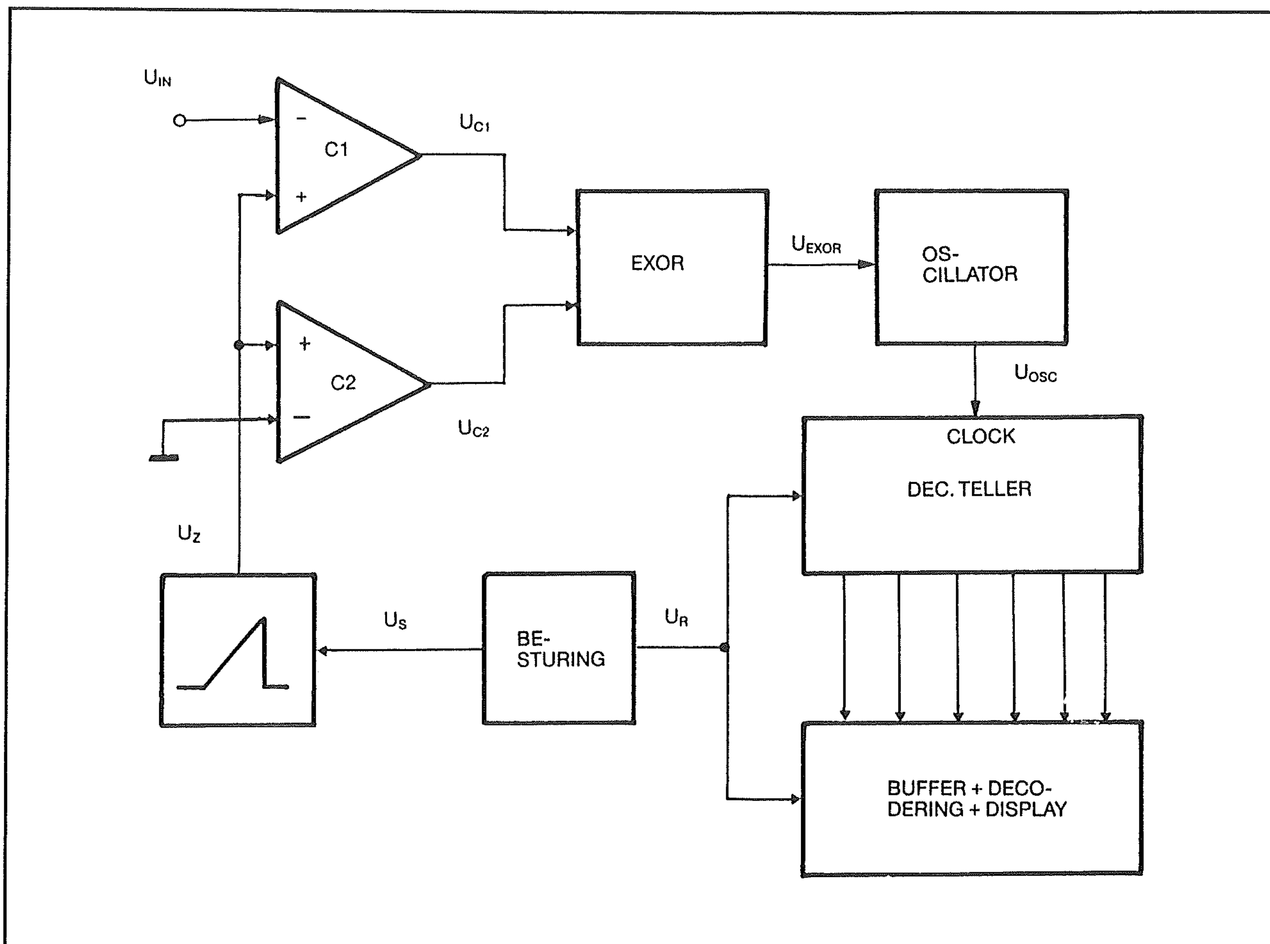
In de volgende paragrafen zal stapsgewijs het werkingsprincipe van dergelijke schakelingen worden uitgelegd.

**De enkelvoudige zaagtand omzetter**

Bij dit principe, dat in het Engels "single slope convertor" wordt genoemd, wordt de analoge spanning aan de ingang omgezet in een puls waarvan de breedte recht evenredig is met de momentele waarde van de ingangsspanning. Deze puls stuurt de poort die de pulsen van een klokoscillator verbindt met een teller. De inhoud van de teller wordt opgeslagen in een buffergeheugen en de inhoud van dit geheugen wordt na iedere cyclus gedecodeerd en naar de display's van de uitlezing gestuurd.

Het blokschema van de enkelvoudige zaagtand omzetter is getekend in figuur 3/15.4-1.
De schakeling wordt besproken aan de hand van de grafieken in figuur 3/15.4-2.

## 15.4 ADC volgens zaagtand-principe




**Figuur 3/15.4-1:** Het blokschema van de single slope convertor.

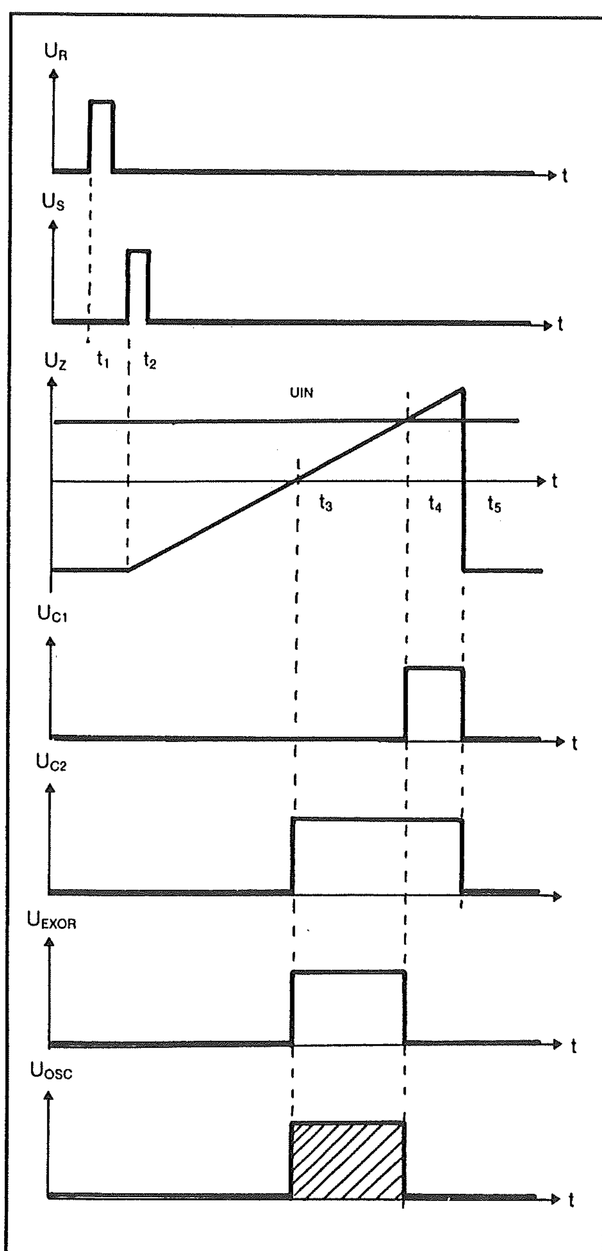
De schakeling wordt gedirigeerd door de besturing die twee pulsen opwekt. De eerste puls $U_R$ wordt gebruikt voor het inlezen van de inhoud van de teller in het buffergeheugen en voor het resetten van de tellers vóór het begin van een nieuwe meetcyclus. De eerste actie vindt plaats op de voorflank van de puls, de tweede op de achterflank.
Na deze puls staat dus op de uitlezing het resultaat van de vorige meting en staat de decimale teller op 0000.
Op deze manier wordt het resultaat van de vorige meting gedurende de nieuwe meting vast gehouden op de display's zodat een rustige en stabiele uitlezing ontstaat.

De tweede puls $U_S$ van de besturing start op het tijdstip $t_2$ een zaagtandoscillator. Deze wekt een zaagtand op, die symmetrisch verloopt ten opzichte van de massa. De zaagtand start dus op een negatieve spanningswaarde, die in ieder geval groter moet zijn dan de maximale negatieve waarde die de analoge ingangsspanning kan hebben.

De momentele waarde van deze zaagtand wordt in twee comparatoren C1 en C2 vergeleken met de massa (C2) en met de momentele waarde van de analoge ingangsspanning (C1).
De comparatoren leveren een positieve uitgangsspanning als de zaagtand groter

## 15.4 ADC volgens zaagtand-principe

wordt dan de spanning waarmee de zaagtand wordt vergeleken. Het gevolg is dus dat er op de twee uitgangen van de comparatoren twee pulsen ontstaan waarvan de ene $U_{C2}$ een constante breedte heeft en de tweede $U_{C1}$ een breedte heeft die afhankelijk is van de grootte van de ingangsspanning.




**Figuur 3/15.4-2:** De timing van de single slope convertor.

De voorflanken van deze twee comparatorpulsen vallen dus niet samen, maar de achterflanken wel. Deze ontstaan immers op het moment $t_5$, waarop de zaagtand zijn maximale positieve waarde heeft bereikt en terug naar de uitgangspositie wordt gestuurd.

De twee comparatorpulsen worden aangeboden aan de ingangen van een EXOR-poort. De uitgang van deze poort zal "H" worden als de logische niveaus op de twee ingangen een tegengestelde (complementaire) waarde hebben.
Dat gebeurt dus tussen de tijdstippen $t_3$ en $t_4$.
Het zal duidelijk zijn dat de breedte van deze uitgangspuls $U_{EXOR}$ afhankelijk is van de momentele grootte van de analoge ingangsspanning.
Hoe kleiner deze spanning, hoe dichter de tijdstippen $t_3$ en $t_4$ bij elkaar liggen!

De uitgangspuls van de EXOR-poort stuurt de ENABLE-ingang van een zeer stabiele oscillator. Deze zal alleen klokpulsen opwekken als de spanning op de ENABLE "H" is. Deze pulstrein, in figuur 3/15.4-2 aangegeven door het gearceerde oppervlak van de spanning $U_{OSC}$, wordt aan de CLOCK-ingang van de decimale teller aangeboden. Deze teller zal dus dit aantal pulsen tellen.
Het aantal pulsen dat door deze teller wordt geteld is recht evenredig met de breedte van de puls $U_{EXOR}$ en dus ook met de momentele waarde van de analoge ingangsspanning.

In de meeste gevallen wordt het systeem aangevuld met een automatische polariteitsdetector en idem indicatie. De polariteit van de ingangsspanning kan bepaald worden door de volgorde van het verschij-

nen van de voorflank van de pulsen $U_{C1}$ en $U_{C2}$ in de gaten te houden. Verschijnt eerst de voorflank van $U_{C1}$, dan is de ingangsspanning negatief. In het andere, getekende, geval verschijnt de voorflank van $U_{C1}$ na deze van $U_{C2}$ en is de ingangsspanning positief.

**Eigenschappen van de single slope omzetter**

De schakeling is zeer eenvoudig te ijken door een van de parameters regelbaar te maken. Men kan bijvoorbeeld de frequentie van de oscillator regelen waardoor het mogelijk is het systeem zo af te regelen dat bij een analoge ingangsspanning van precies 1 V er precies 1.000 pulsen door de teller worden geteld. Een tweede methode om de schakeling te ijken is het regelbaar maken van de helling of slope van de zaagtand. Hoe steiler deze verloopt, hoe dichter de tijdstippen $t_3$ en $t_4$, bij gelijk blijvende ingangsspanning, bij elkaar komen te liggen en hoe minder pulsen er door de teller geteld worden.
Als men de schakeling op één waarde van de ingangsspanning geijkt heeft weet men zeker dat het systeem goed zal werken. Door het lineaire verband tussen de grootte van de ingangsspanning, de breedte van de EXOR-puls en het aantal getelde pulsen zal een ingangsspanning van 1,234 V precies 1.234 pulsen naar de decimale teller sturen.

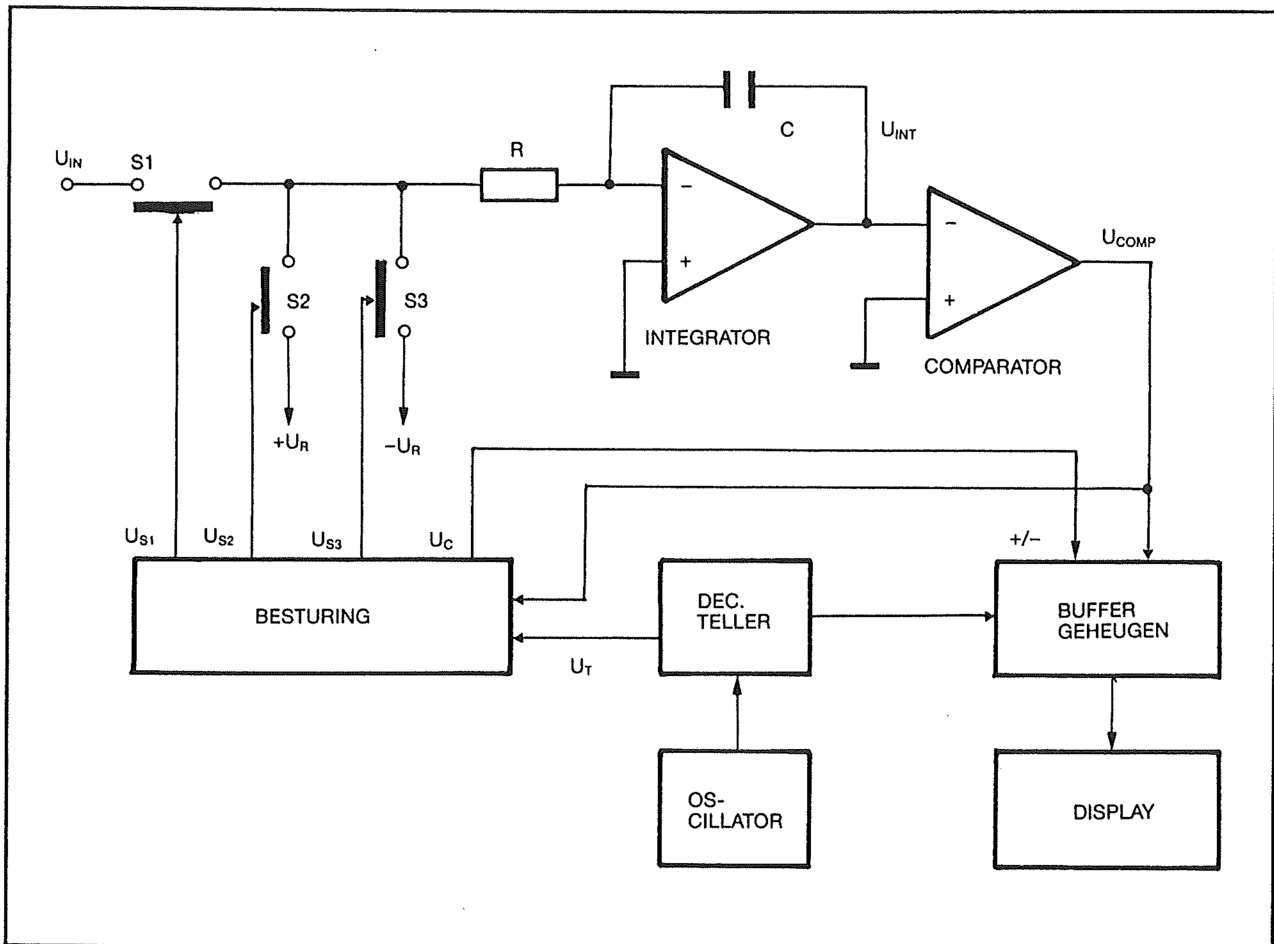
Hoewel dit systeem relatief eenvoudig in een werkende schakeling is om te zetten, zal men in de praktijk geen analoog naar digitaal omzetters aantreffen die volgens het single slope principe werken.
Het procédé heeft als grootste nadeel dat de nauwkeurigheid door een te groot aantal factoren beïnvloed kan worden. Iedere variatie op de helling van de zaagtand veroorzaakt bijvoorbeeld een aanzienlijke meetfout. Hetzelfde geldt voor de frequentie van de oscillator.
Bovendien is er bij de bespreking van het principe van uitgegaan dat de twee comparatoren ideale schakelingen zijn. Dat is uiteraard niet het geval, zodat men in de praktijk rekening moet houden met de offset's van deze schakelingen. Deze bepalen het preciese moment waarop de pulsen $U_{C1}$ en $U_{C2}$ verschijnen en zullen door hun aanwezigheid het meten van zeer kleine ingangsspanningen aanzienlijk verstoren. Als men immers de ingang kortsluit naar de massa zou de teller 0000 pulsen moeten tellen. De voorflanken van de twee comparatorpulsen zouden dan precies moeten samenvallen. Door de aanwezigheid van de ongetwijfeld niet even grote offset's van de twee comparatoren zal dat niet het geval zijn, zodat toch enige tientallen pulsen geteld worden. Het zal duidelijk zijn dat deze offsetfout minder belangrijk wordt naarmate de ingangsspanning groter is.

Men is er in geslaagd een systeem te ontwerpen dat volledig ongevoelig is voor de eigen fouten en afwijkingen. Dat systeem, de dual slope omzetting, wordt in de volgende paragraaf besproken.

**De dubbele zaagtand omzetter**

Bij de dubbele zaagtand omzetter, in het Engels "dual slope convertor" genoemd, worden twee zaagtandhellingen gebruikt om de analoge ingangsspanning om te zetten in een ermee proportioneel aantal pulsen.
In het kort gezegd wordt een condensator gedurende één volle cyclus van de decimale teller lineair opgeladen door de ingangsspanning. Dat is de eerste zaagtandhelling.

## 15.4 ADC volgens zaagtand-principe




**Figuur 3/15.4-3:** Het principiële blokschema van een dual slope convertor.

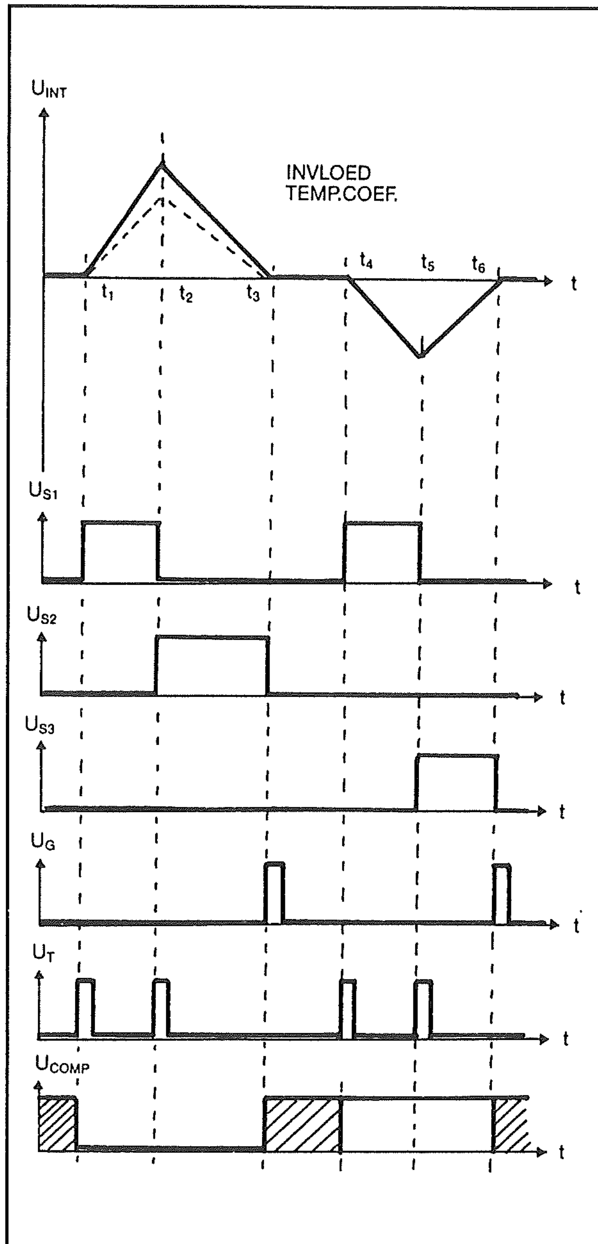
Op het moment dat de teller aan een nieuwe cyclus begint wordt de condensator lineair ontladen door een zeer constante referentiespanning. Dat is de tweede zaagtandhelling.
De tijd die daarvoor nodig is wordt geregistreerd door de decimale teller te sturen met pulsen. Op het moment dat de condensator volledig ontladen is wordt de inhoud van de teller overgedragen op een buffergeheugen en aangegeven op de uitlezing.

De werking wordt gedetailleerd besproken aan de hand van het blokschema van figuur 3/15.4-3 en de timinggrafieken van figuur 3/15.4-4.

De decimale teller wordt continu gestuurd met pulsen van de oscillator. Op een bepaald moment zal de teller "overlopen", dus terug naar inhoud nul springen. Dit moment is in de timinggrafieken aangegeven met $t_1$.
Op dat moment stuurt de teller een overlooppuls $U_T$ naar de besturing.

De besturing bepaalt de stand van drie elektronische schakelaars S1, S2 en S3. Deze schakelaars worden gesloten als de spanning op hun stuuringangen "H" is.
De besturing wekt na het ontvangen van de overlooppuls van de teller een positieve stuurpuls $U_{S1}$ op, die de elektronische schakelaar S1 sluit.

## 15.4 ADC volgens zaagtand-principe




**Figuur 3/15.4-4:** De timing van de signalen in een dual slope convertor.

Door het sluiten van deze schakelaar wordt de analoge ingangsspanning $U_{IN}$ verbonden met de ingang van een integrator.
Als men er van uit gaat dat de momentele waarde van de ingangsspanning negatief is, zal de integratorcondensator C lineair worden opgeladen. De integrator werkt immers inverterend. De niet inverterende ingang ligt aan de massa, zodat ook de spanning op de inverterende ingang naar dit potentiaal zal streven. De ingangsspanning zal dus door de weerstand R een stroom $I_1$ sturen waarvan de grootte alleen bepaald wordt door de momentele waarde van de ingangsspanning en de grootte van de weerstand. Deze stroom $I_1$ komt terecht op de inverterende ingang maar kan, vanwege de zeer hoge ingangsimpedantie van deze ingang, alleen verder vloeien via de condensator C naar de uitgang van de integrator. Deze constante stroom $I_1$ zal dus tot gevolg hebben dat de spanning over de condensator lineair stijgt. Als immers een condensator wordt doorlopen door een constante stroom zal de spanning over het onderdeel lineair stijgen, dat is een algemeen geldende wet. Maar omdat de linker elektrode van de condensator aan de massa ligt (de inverterende ingang van de integrator) kan het niet anders dan dat de rechter elektrode positief wordt.

Het gevolg is dus dat de uitgangsspanning van de integrator $U_{INT}$ lineair gaat stijgen met een snelheid die bepaald wordt door de momentele waarde van de ingangsspanning.
Hoe groter de ingangsspanning, hoe sneller de condensator wordt opgeladen.

Inmiddels telt de decimale teller de pulsen van de oscillator. Op moment $t_2$ heeft de teller een volledige cyclus doorlopen en springt weer naar inhoud nul. Er ontstaat dus een tweede overlooppuls $U_T$ die naar de besturing gaat. De besturing wekt signalen op die de elektronische schakelaars bedienen. $U_{S1}$ wordt "L" en $U_{S2}$ wordt "H". Schakelaar S1 opent en schakelaar S2 wordt gesloten.

**15.4 ADC volgens zaagtand-principe**

Door het sluiten van S2 wordt de integrator verbonden met een positieve zeer constante referentiespanning $+U_R$. Deze referentiespanning heeft dus de tegengestelde polariteit van de ingangsspanning. Het gevolg is dat er nu door R een stroom $I_2$ gaat vloeien die tegengesteld loopt aan de eerste stroom $I_1$. Ook deze stroom kan alleen via de condensator vloeien. Het gevolg is dat de condensator nu ontladen wordt en de uitgangsspanning van de integrator $U_{INT}$ lineair gaat dalen. De snelheid waarmee dit gebeurt is alleen afhankelijk van de waarden van R en C en van de grootte van de referentiespanning $+U_R$.

Op tijdstip $t_3$ is de condensator volledig ontladen. Deze gebeurtenis wordt gedetecteerd door de comparator, die de uitgangsspanning van de integrator vergelijkt met de massa. De comparator wekt een puls $U_{COMP}$ op, die de besturing en het buffergeheugen stuurt.
De inhoud van de decimale teller wordt in het buffergeheugen ingelezen en weergegeven door de uitlezing.

Het kan gemakkelijk aangetoond worden dat het aantal pulsen dat in de periode tussen $t_2$ en $t_3$ is geteld recht evenredig is met de grootte van de analoge ingangsspanning.
De spanning op de uitgang van de integrator op tijdstip $t_2$ is recht evenredig met de grootte van de ingangsspanning. Omdat de condensator nadien met een constante stroom $I_2$ wordt ontladen zal het duidelijk zijn dat het tijdinterval $t_3 - t_2$ ook recht evenredig is met de grootte van de ingangsspanning. De teller springt automatisch op nul bij de aanvang van het ontlaadproces. Het is dus logisch dat het aantal getelde pulsen recht evenredig is met de momentele waarde van de analoge ingangsspanning!

In het beschreven voorbeeld wordt uitgegaan van een negatieve ingangsspanning. Als deze spanning echter positief is zal de condensator niet tot een positieve maar tot een negatieve spanning opgeladen worden. Dat is getekend in de tweede cyclus van figuur 3/15.4-4.
Het is dan uiteraard noodzakelijk de condensator in de tweede halve cyclus te ontladen uit een negatieve referentiespanning $-U_R$.
Vandaar dat het systeem voorzien moet worden van een schakeling die de polariteit van de ingangsspanning kan detecteren.
De informatie over de polariteit van de ingangsspanning kan worden afgeleid uit de uitgangsspanning van de comparator. Uit het logische niveau van dit signaal gedurende de eerste fase van de omzetting ($t_1$ tot en met $t_2$) kan de besturing afleiden of er een negatieve dan wel positieve spanning aan de ingang wordt aangeboden.
Afhankelijk van deze informatie zal de besturing ofwel S2 ofwel S3 sluiten op het moment dat de integratiecondensator ontladen moet worden.

De besturing is dus zonder meer in staat een puls aan het buffergeheugen te leveren waarmee een polariteitsindicatie te sturen is.

**Eigenschappen van de dual slope omzetter**
Het grote voordeel van het dual slope principe is dat de nauwkeurigheid van de omzetting niet wordt beïnvloed door spreiding op de onderdelen en verloop van de frequentie van de oscillator.

**15.4 ADC volgens zaagtand-principe**

Deze afwijkingen werken immers zowel in op het laden als op het ontladen van de integratorcondensator en de fouten zullen elkaar compenseren.

Zou bijvoorbeeld om de een of andere reden de waarde van de weerstand R dalen, dan zal de condensator C sneller geladen, maar ook sneller ontladen worden. Een en ander is gestippeld getekend in de linker grafiek van figuur 3/15.4-4.

De nauwkeurigheid en stabiliteit van het systeem worden alleen bepaald door de nauwkeurigheid en stabiliteit van de referentiespanningen.
Vandaar dat deze spanning bij nauwkeurige systemen nooit in de ADC zélf aanwezig is, maar extern kan worden aangesloten.
Men kan dan een zeer stabiel referentie-IC inzetten.

**Het auto-zero principe**
Hoewel in theorie dual slope omzetters zeer nauwkeurig en stabiel zijn zouden de resultaten van volgens dit principe opgebouwde praktische schakelingen zeer teleurstellen.
De voornaamste reden van deze discrepantie is dat er in de theorie geen rekening wordt gehouden met de offset van de operationele versterkers die worden gebruikt voor het samenstellen van de integrator en de comparator.
Deze offset is niet eenvoudig te compenseren, omdat dit verschijnsel afhankelijk is van de temperatuur.
Een ideale offsetcompensatie bij 25 °C zou bij 15 °C weer ontoelaatbare afwijkingen veroorzaken.

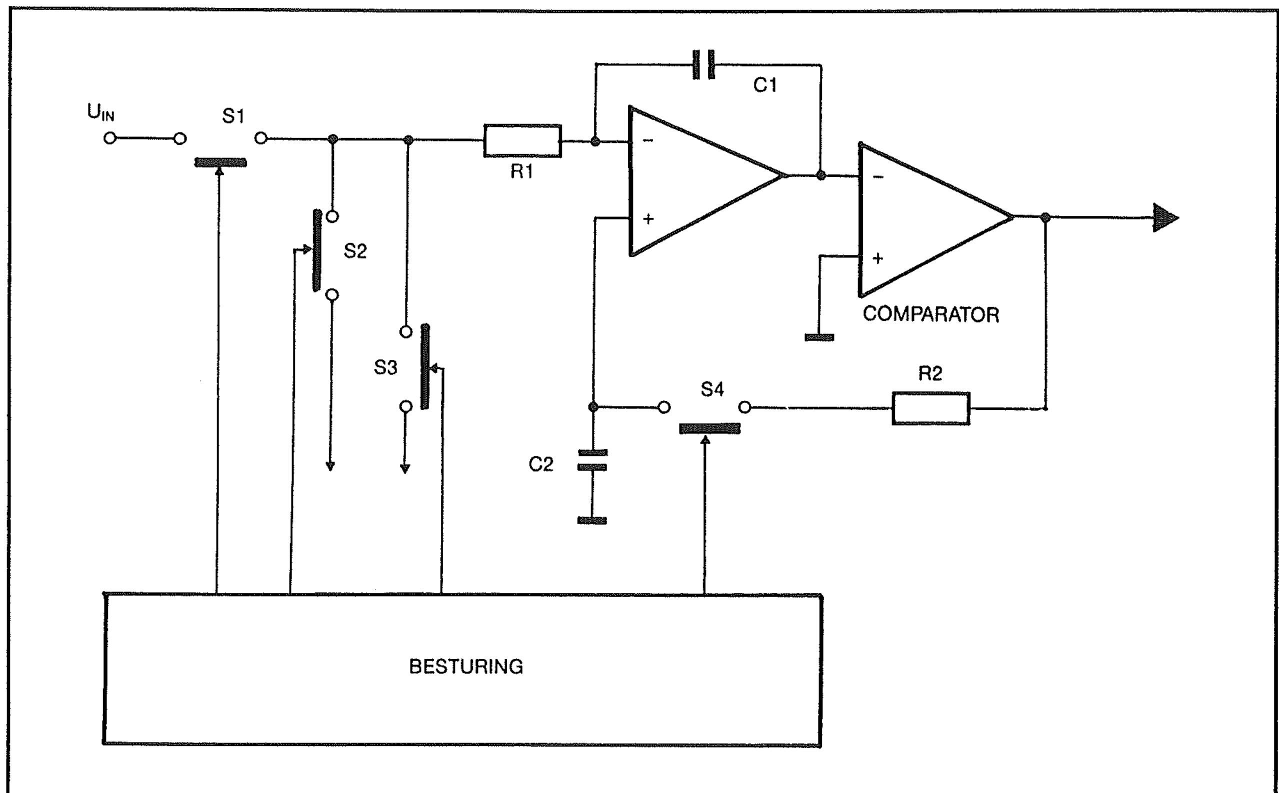
De offset heeft tot gevolg dat de uitlezing iets anders aanwijst dan "0000" als men de ingang van de omzetter kortsluit naar de massa.
Deze offsetfout uit zich uiteraard ook als men een spanning aan de ingang aanlegt en deze niet bekende afwijking zal de hoge nauwkeurigheid, waar de dual slope omzetter in theorie toe in staat is, volledig teniet doen.
Vandaar dat alle moderne geïntegreerde dual slope convertors zijn voorzien van een automatische offset-correctie, "auto zero" genoemd.
Deze correctie zal er voor zorgen dat de schakeling zichzelf bij kortgesloten ingang op "0000" instelt. Vandaar de naam auto zero.

Het principe van dit systeem is getekend in figuur 3/15.4-5. De werking wordt toegelicht aan de hand van de grafieken in figuur 3/15.4-6.

De niet inverterende ingang van de integrator gaat nu niet naar de massa, maar naar een condensator C2. Deze condensator wordt via een vierde elektronische schakelaar en een weerstand R2 verbonden met de uitgang van de comparator.

Stel dat men de ingang van de dual slope omzetter kortsluit naar de massa en dat de eerste operationele versterker een kleine negatieve offsetspanning heeft.
Deze kleine spanning staat in serie met de kortgesloten ingang en wordt dus door de elektronica geïnterpreteerd als een kleine negatieve ingangsspanning. Deze spanning wordt geïntegreerd, het gevolg is dat de integratorcondensator C1 gaat opladen en de uitgang van de integrator positief wordt.
De comparator reageert op deze positieve spanning op zijn inverterende ingang door zijn uitgang negatief te sturen.

**15.4 ADC volgens zaagtand-principe**




**Figuur 3/15.4-5:** Het principe van de auto zero automatische offset-compensatie.

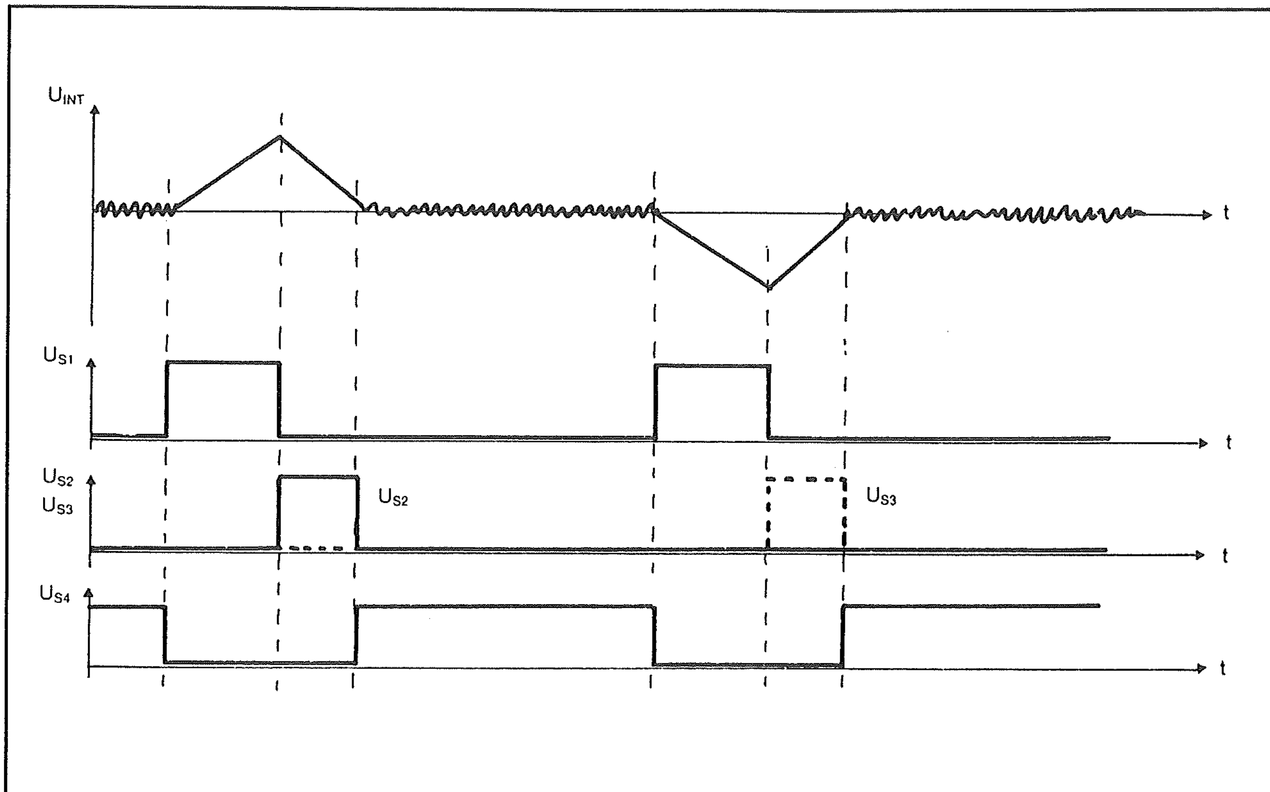
Deze negatieve spanning zal via de weerstand R2 en de gesloten elektronische schakelaar S4 de condensator C2 gaan opladen.
De spanning op de niet inverterende ingang van de integrator wordt dus negatief, waardoor de negatieve offset wordt gecompenseerd. Op het moment dat de spanning over de condensator C2 negatiever wordt dan de waarde van de offsetspanning zal het systeem omklappen. De condensator van de integrator gaat zich nu weer ontladen, op het moment dat de uitgangsspanning van de integrator kleiner wordt dan nul schakelt de comparator om.
Zijn uitgang wordt positief en deze positieve spanning gaat de condensator C2 weer ontladen. Dat heeft tot gevolg dat deze spanning gaat stijgen.

Men kan dus besluiten dat het systeem gaat oscilleren rond een evenwichtstoestand, namelijk deze waarbij de spanning over de condensator C2 gelijk is aan de offsetspanning van de operationele versterker van de integrator.

Bij vergelijking van de blokschema's van de figuren 3/15.4-3 en 3/15.4-5 blijkt dat de schakelingen rond de comparator voor de meet en auto zero fasen nogal verschillend zijn. Het is dus niet mogelijk de offset tijdens een meting te compenseren.

Vandaar dat een extra fase wordt ingelast, de zogenaamde auto zero fase. Deze wordt uitgevoerd tussen twee opeenvolgende meetcycli. De besturing opent dan de schakelaars S1, S2 en S3 en sluit schakelaar S4.

## 15.4 ADC volgens zaagtand-principe



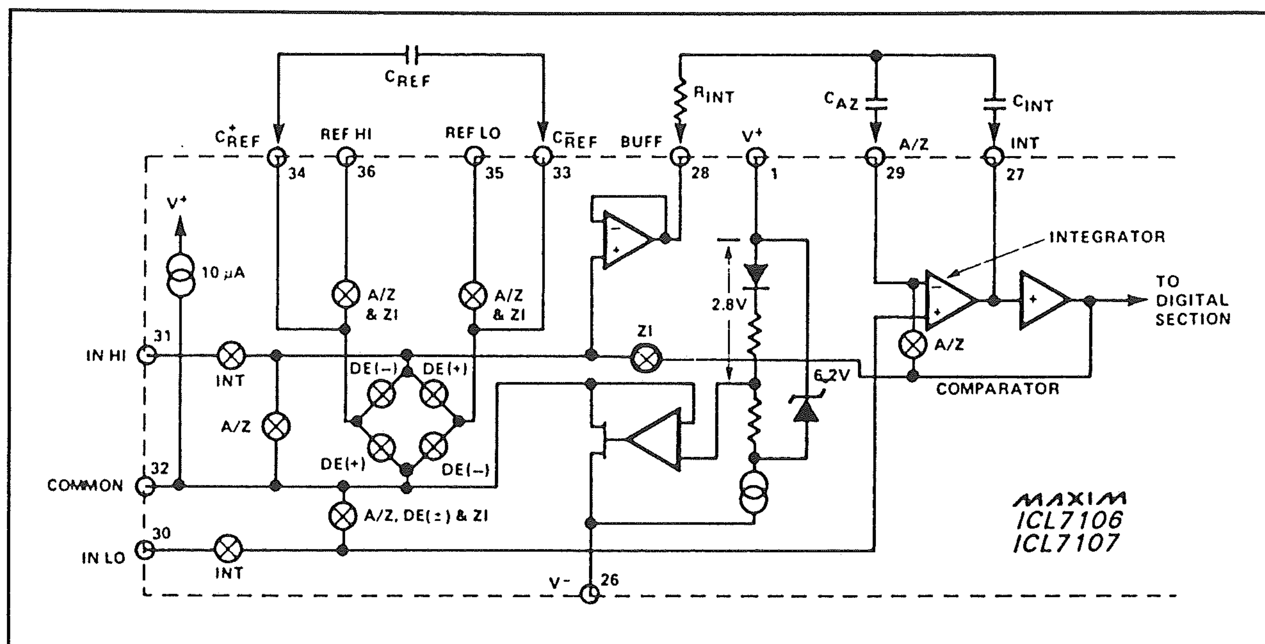

**Figuur 3/15.4-6:** De werking van de auto zero compensatie grafisch toegelicht.

De waarde van de auto zero condensator C2 is tamelijk groot, een typische waarde die in de praktijk vaak gebruikt wordt is 470 nF. De offsetcompensatiespanning die gedurende de auto zero fase over dit onderdeel wordt opgebouwd blijft vrijwel constant gedurende de volgende meetcyclus (S4 open). Zodoende wordt de offset toch gecompenseerd.

Uit de grafieken van figuur 3/15.4-6 volgt duidelijk hoe de auto zero fase tussen twee meetcycli ingevoegd wordt. Na het sluiten van S2 of S3 (afhankelijk van de polariteit van de ingangsspanning) en het ontladen van de integratorcondensator tot nul (einde meetcyclus) worden S1 en S2/S3 geopend en S4 gesloten. De uitgangsspanning van de integrator zal nu oscilleren rond nul, omdat de auto zero condensator door de comparator afwisselend iets wordt opgeladen en nadien weer ontladen. Nadien wordt S4 geopend en S1 gesloten hetgeen het begin van de volgende meetcyclus inluidt.

**Praktische dual slope omzetters**
Het zal duidelijk zijn dat tot nu toe alleen de fundamentele principes van ADC's volgens het zaagtand-principe besproken zijn.
Praktische omzetters zitten veel ingewikkelder in elkaar!
Zo hebben bijna alle dual slope IC's een differentiële ingang.
Dat wil zeggen dat men de te meten ingangsspanning niet tussen één ingang en de massa aanlegt, maar tussen twee ingangen van het IC.
Beide ingangen hebben een zeer hoge impedantie ten opzichte van de massa en ten opzichte van elkaar.

**15.4 ADC volgens zaagtand-principe**




**Figuur 3/15.4-7:** Het blokschema van het analoge gedeelte van de dual slope omzetter ICL7107.

Op deze manier kan men het spanningsverschil tussen twee punten in een schakeling meten, zonder dat rekening wordt gehouden met de grootte van de spanningen op deze punten ten opzichte van de massa.

In de meeste gevallen is ook de referentiespanning differentieel uitgevoerd.
Men heeft dan twee ingangen $REF_{LO}$ en $REF_{HI}$, waartussen een externe referentie kan worden aangesloten.
In de meeste gevallen zal een van deze referentie-ingangen wel met een van de signaalingangen verbonden worden. Maar dank zij deze dubbele differentiële structuur kan men zo'n omzetter ook gebruiken voor het uitvoeren van rationele metingen, waarbij de ratio of de verhouding tussen twee spanningen wordt gemeten.
Vaak wordt dit meetprincipe toegepast voor het meten van weerstanden.

**Een praktisch voorbeeld**
Ter illustratie wordt in het kort het analoge blokschema van de bekende dual slope ADC van het type ICL7107 besproken.
Dit schema is getekend in figuur 3/15.4-7.

De cirkeltjes met kruis stellen elektronische schakelaars voor die gestuurd worden uit de (niet getekende) interne besturing van het IC. Men herkent de twee signaalingangen $IN_{LO}$ en $IN_{HI}$, de twee referentie-ingangen $REF_{LO}$ en $REF_{HI}$ en verder nog de aansluitingen voor de integratie-onderdelen $R_{INT}$, $C_{INT}$ en $C_{AZ}$. Dat laatste onderdeel is de auto zero condensator. Over de referentiespanning wordt nog een condensator $C_{REF}$ geschakeld.

De schakeling verdeelt één meetcyclus in vier fasen:
- de auto zero fase AZ;
- de signaal integratie fase INT;
- de referentie de-integratie fase DI;

- de zero integratie fase ZI.

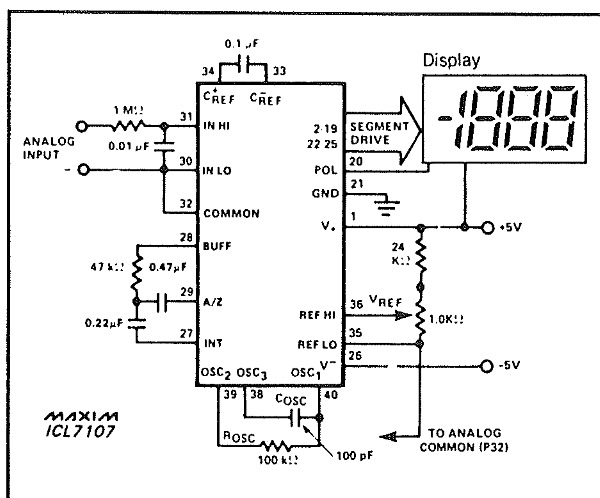
Deze vier fasen worden nu in het kort besproken.

- Auto zero fase AZ
  Er gebeuren gedurende deze fase drie dingen. In eerste instantie worden de interne ingangen losgekoppeld van de ingangspennen en verbonden met de interne COMMON, het gemeenschappelijke referentiepunt van de volledige schakeling. De referentiecondensator wordt opgeladen tot de waarde van de referentiespanning. Tot slot wordt een terugkoppellus gesloten tussen de integrator en de comparator waardoor de auto zero condensator wordt opgeladen tot de waarde van de offsetspanning van de operationele versterkers van de buffer, de integrator en de comparator.
- Signaal integratie fase INT
  De interne ingangen worden weer verbonden met de twee ingangspennen van het IC. De interne kortsluiting met COMMON wordt opgeheven en de terugkoppellus tussen integrator en comparator wordt onderbroken. De schakeling integreert vervolgens gedurende een vaste tijd (bepaald door de teller en de klokfrequentie) het spanningsverschil tussen beide ingangen.
  Aan het einde van deze fase wordt de polariteit van de ingangsspanning op de reeds beschreven manier bepaald en aan de besturing medegedeeld.
  De differentiële ingangsspanning kan binnen een breed bereik liggen, ergens tussen de beide voedingsspanningen minus 1 V.
  Als de ingangsspanning geen binding heeft met de voedingen van de schakeling, wordt aanbevolen $IN_{LO}$ te verbinden met de COMMON.
- Referentie de-integratie fase DI
  $IN_{HI}$ wordt verbonden met de geladen referentiecondensator en $IN_{LO}$ wordt kortgesloten met de interne COMMON van het systeem. De besturing zorgt ervoor dat de correcte polariteit van de referentiespanning ter beschikking staat.
  De integratorcondensator wordt nu weer tot nul ontladen door de referentiespanning. Uiteraard is de tijd die daardoor in beslag wordt genomen rechtstreeks afhankelijk van de waarde van de ingangsspanning.
  Het aantal pulsen dat naar de decimale teller wordt gestuurd wordt gegeven door de uitdrukking:
  $N = U_{IN}/U_{REF} \times 1000$
- Zero integratie fase ZI
  $IN_{LO}$ blijft kortgesloten met de interne COMMON en de referentiecondensator wordt weer met de referentiespanning verbonden, zodat de weggelekte lading in dit onderdeel weer aangevuld kan worden. Er wordt een interne terugkoppellus opgebouwd rond het gehele systeem dat er voor zorgt dat de integratorcondensator volledig ontladen wordt. Deze fase is noodzakelijk om in het geval van oversturing van de schakeling ervoor te zorgen dat de integratorcondensator toch tot nul ontladen wordt.
  Onder normale omstandigheden gebeurt dat natuurlijk bij de vorige fase, maar is de ingangsspanning veel te groot dat is deze fase te kort om de condensator volledig te ontladen. Dank zij deze extra fase zal de schakeling zeer snel herstellen van een overbereik-conditie.
  Afhankelijk van de mate van oversturing zal deze fase 10 tot 140 klokpulsen in beslag nemen.

# Voorbeeld-schakelingen

## Standaard schema

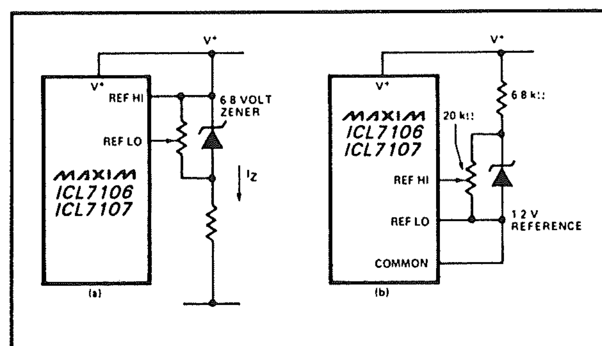
Het standaard schema rond een dual slope ADC kan iedere bijdetijdse elektronicus tegenwoordig zo ongeveer dromen. Voor de volledigheid is dit nog eens opgenomen in figuur 3/15.4-8.




**Figuur 3/15.4-8:** Het standaard schema rond een dual slope omzetter.

De twee ingangen worden via een RC-netwerkje, dat voor extra afvlakking en onderdrukking van signaalruis zorgt, aangesloten tussen de twee ingangspennen $IN_{LO}$ en $IN_{HI}$ van het IC. In de meeste gevallen wordt de $IN_{LO}$ rechtstreeks verbonden met de COMMON van de schakeling, zodat men meet met de massa van de meter als referentie. Tussen BUFF, A/Z en INT worden de drie onderdelen voor de integrator en de auto zero aangesloten. De meeste schakelingen moeten via een extern netwerkje ingesteld worden op de juiste klokfrequentie. Bij de ICL7107 zijn daarvoor één weerstand en één condensator noodzakelijk tussen de drie OSC-pennen. Als men over een zeer goed gestabiliseerde voeding beschikt kan men de referentiespanning daarvan aftakken. Dat gebeurt door een spanningsdeler tussen de positieve voeding en de massa, waarbij de onderste weerstand als instelpotentiometer is uitgevoerd. De loper gaat naar $REF_{HI}$, de onderste aansluiting die aan de massa ligt naar $REF_{LO}$. Tot slot moet men tussen de twee $C_{REF}$-pennen nog de referentiecondensator opnemen.

Wil men gebruik maken van een echte referentiediode, dan kan men een van de schema's die in figuur 3/15.4-9 getekend zijn toepassen.




**Figuur 3/15.4-9:** Het aansluiten van een referentiediode op een dual slope omzetter.

In de linker schakeling wordt uitgegaan van een zeer stabiele 6,8 V zenerdiode. Zoals bekend heeft een zenerdiode van deze waarde een zeer lage temperatuurscoëfficiënt.

Deze diode wordt uit de voeding gepolariseerd door middel van de serieweerstand. Over de diode staat een liefst tienslagen instelpotentiometer, waarmee men de spanning tussen beide referentie-ingangen op de juiste waarde kan afregelen. In het rechter schema wordt gebruik gemaakt van een echte band-gap referentiediode met een uitgangsspanning van 1,2 V. Ook nu staat over deze diode een instelpotentiometer waarmee men de

spanning tussen $REF_{LO}$ en $REF_{HI}$ heel precies kan instellen.

Geïntegreerde ADC's volgens het dual slope principe bieden vanwege hun symmetrisch uitgevoerde ingangen en referentie-aansluitingen echter een aantal interessante mogelijkheden die niet zo voor de hand liggen. Enige daarvan worden in de volgende paragraafjes besproken.

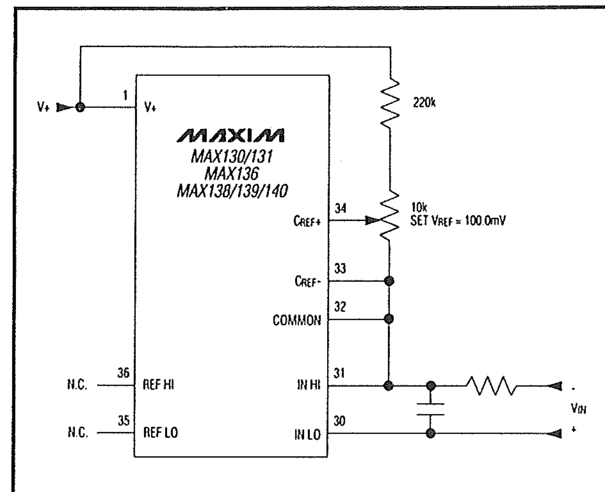
### Werken zonder referentiecondensator

De referentiecondensator is noodzakelijk om zowel negatieve als positieve ingangssignalen te kunnen verwerken. Afhankelijk van de polariteit van de ingangsspanning moet de integratorcondensator immers vanaf een positieve of negatieve waarde tot nul ontladen worden.
Weet men heel zeker dat in een bepaalde toepassing alleen unipolaire spanningen gemeten moeten worden, dan kan deze condensator vervallen en kan men de pennen daarvoor rechtstreeks voeden uit de referentiespanning.

In figuur 3/15.4-10 is bijvoorbeeld getekend hoe dat moet als de schakeling alleen negatieve ingangsspanningen aangeboden krijgt. $C_{REF-}$ wordt dan verbonden met de COMMON, $C_{REF+}$ gaat via een instelbare weerstandsdeler naar de positieve voedingsaansluiting. De twee REF-ingangen kunnen dan open blijven.

### Meten van spanningen die buiten het bereik liggen

Door de differentiële structuur van de ingangen kan men een dual slope omzetter bijvoorbeeld gebruiken voor het meten van een stroom. Het principe is bekend. In de leiding waarin men de stroom wil meten wordt een zeer kleine weerstand opgenomen.

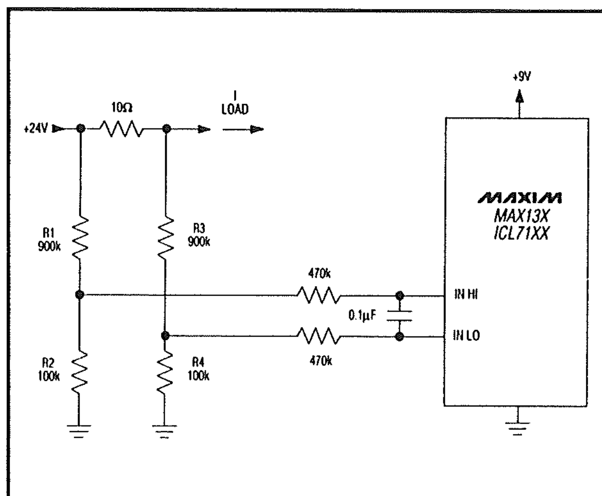



**Figuur 3/15.4-10:** Het vervangen van de referentiecondensator door een weerstandsdeler als men alleen unipolaire ingangsspanningen meet.

De spanningsval over deze weerstand is recht evenredig met de stroom die er doorheen vloeit. De twee aansluitingen van de weerstand kunnen verbonden worden met de twee ingangen van de ADC. Vanwege de differentiële werking meet de schakeling het spanningsverschil tussen beide punten, dus de spanningsval over de sensorweerstand. Een ideaal systeem, maar vaak moet men meten in een leiding waarop een spanning staat die veel en veel hoger is dan het toegelaten spanningsbereik van de ADC. Denk maar aan een voeding, waarvan de uitgangsspanning instelbaar is tussen 0 en 40 V en waarvan men toch de uitgangsstroom wil meten.
In dergelijke gevallen kan de schakeling van figuur 3/15.4-11 uitkomst bieden.

Beide aansluitingen van de stroomsensorweerstand gaan via identieke spanningsdelers naar de massa. De knooppunten van beide delers gaan naar de $IN_{LO}$ en $IN_{HI}$ pennen van de ADC. Uiteraard moeten de delers zo berekend worden dat de

spanningen op de knooppunten binnen het bereik van de ADC liggen.
De verzwakking die door de delers geïntroduceerd wordt kan worden gecompenseerd door de referentiespanning aan te passen of door de waarde van de sensorweerstand te vergroten.




**Figuur 3/15.4-11:** Het meten van de stroom in een leiding die op een hoge spanning staat.

## Meten van weerstanden volgens de ratio-methode

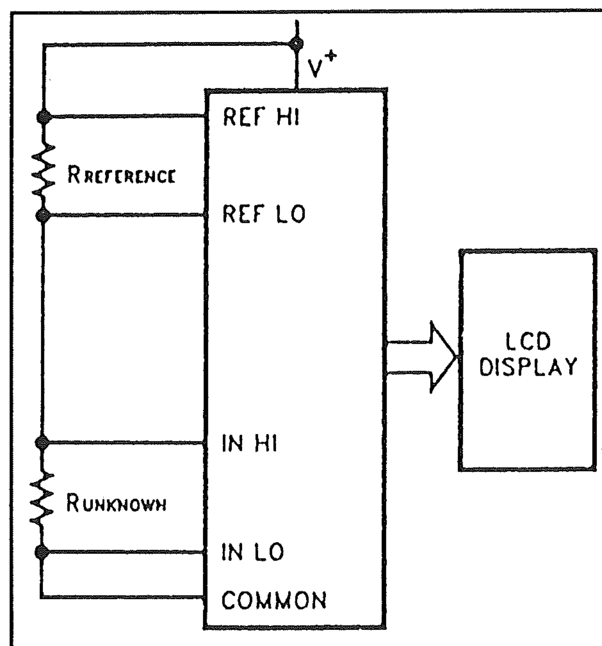
Omdat zowel de ingangen als de REF-pennen differentieel zijn uitgevoerd kan men op een heel eenvoudige manier weerstanden meten.
Het principe van deze zogenaamde rationele (verhouding) meting is geschetst in figuur 3/15.4-12.

De onbekende weerstand RUNKNOWN wordt in serie met een nauwkeurige bekende weerstand RREFERENCE aangesloten tussen de massa en de voedingsspanning van de omzetter.
De spanningsval over de referentieweerstand gaat naar de REF-ingangen, deze over de onbekende weerstand naar de ingangen.
De meter geeft nu op het display de verhouding tussen beide weerstanden aan! Als men dus voor de referentieweerstand een waarde van 1 kΩ selecteert zal een indicatie van 0.823 aangeven dat de onbekende weerstand 823 Ω is.
Door nu de referentieweerstand uit te voeren onder de vorm van een aantal precisie-weerstanden in 1/10/100/1000-verhouding en deze met een omschakelaar in serie te schakelen met de onbekende weerstand kan men een weerstandsmeter met verschillende meetbereiken bouwen.

In vele digitale universeelmeters worden op deze manier weerstanden gemeten.

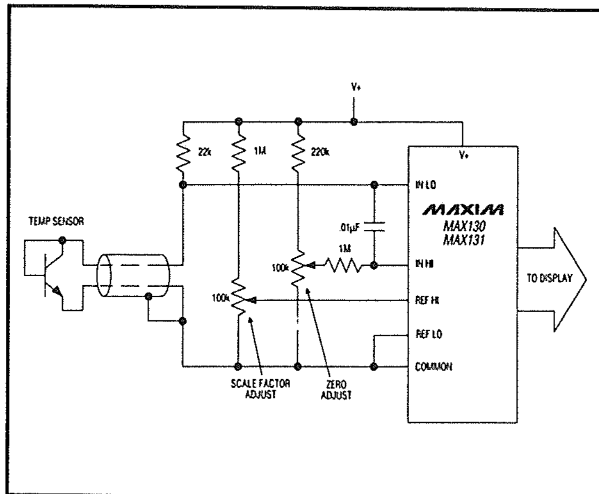
## Het meten van temperaturen

Het basisschema voor een eenvoudige temperatuurmeter is geschetst in figuur 3/15.4-13.




**Figuur 3/15.4-12:** Het rationeel meten van weerstanden.

## 15.4 ADC volgens zaagtand-principe



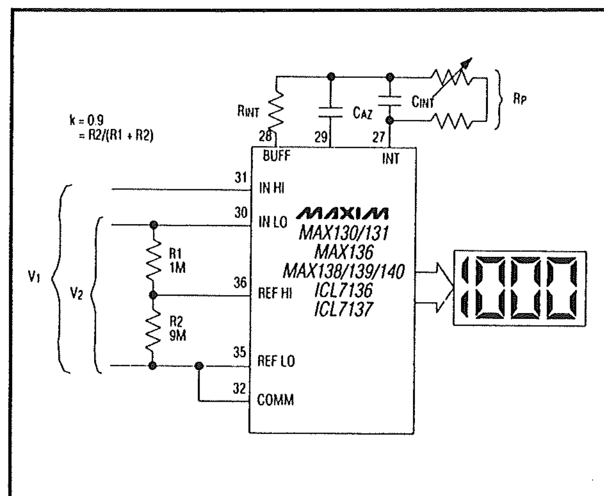

**Figuur 3/15.4-13:** Het meten van temperaturen met een ADC volgens het dual slope principe.

De werking berust op het gegeven dat de basis-emitter spanning van een silicium transistor temperatuurgevoelig is en per graad Celsius temperatuursverhoging met precies 2,2 mV stijgt.
Natuurlijk varieert de basis-emitter spanning met deze kleine waarde rond de gemiddelde waarde van ongeveer 0,56 V. Door middel van een rationele meting kan men nu het interessante deel van deze spanning, de temperatuursafhankelijke stijging of daling, uit de instelspanning filteren.

De schakeling heeft twee afregelpotentiometers.
Met ZERO ADJUST kan men de digitale meter instellen op een uitlezing van 0000 bij 0 °C.
Met SCALE FACTOR ADJUST kan men de meter ijken op de einde bereik waarde, bijvoorbeeld bij 100 °C. Het volstaat de goed geïsoleerde sensortransistor afwisselend in smeltende ijsblokjes en in kokend water te dompelen.

### Logaritmische verhoudingen meten

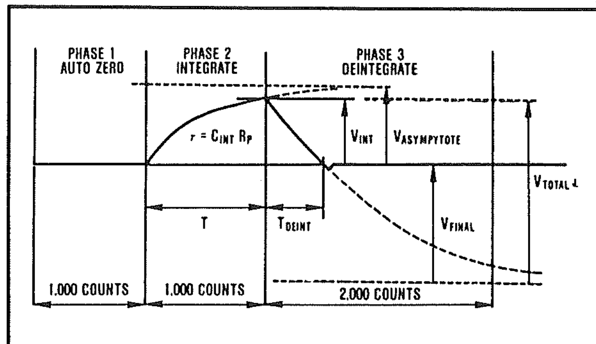
Een wel zeer speciale en nuttige toepassing is geschetst in figuur 3/15.4-14.
Deze schakeling meet de logaritmische verhouding tussen twee spanningen $V_1$ en $V_2$, die respectievelijk tussen $IN_{HI}$ en de COMMON en $IN_{LO}$ en de COMMON worden aangesloten.
De verhouding tussen de weerstanden R1 en R2 moet precies 1/9 bedragen!
De schakeling wordt afgeregeld door het verdraaien van de weerstand $R_P$ die in serie met de integratorcondensator is opgenomen.




**Figuur 3/15.4-14:** Het meten van de logaritmische verhouding tussen twee gelijkspanningen.

De logaritmische werking van de schakeling is een gevolg van het in serie schakelen van de weerstand $R_P$ met de integratorcondensator.
Zoals uit figuur 3/15.4-15 volgt zal deze condensator nu niet lineair op- en ontladen, maar exponentieel. Het gevolg is dat er een lineair verband ontstaat tussen de ontlaadtijd van de condensator en de logaritmische verhouding tussen beide ingangsspanningen.

**15.4 ADC volgens zaagtand-principe**




**Figuur 3/15.4-15:** De werking van de logaritmische meter grafisch toegelicht.

Deze schakeling kan bijvoorbeeld gebruikt worden om de versterking van versterkertrappen rechtstreeks in dB aan te geven.

De ene ingang wordt verbonden met de gelijkgerichte ingangsspanning van de versterkertrap, de tweede met de gelijkgerichte uitgangsspanning. De meter geeft nu de spanningsversterking van de trap in dB aan.

Met hetzelfde principe kan men ook audio-niveau's in dB meten.

Denk er echter wel aan dat het steeds noodzakelijk is wisselspanningen door middel van een zeer nauwkeurige gelijkrichter om te zetten in gelijkspanningen!

## 15.4 ADC volgens zaagtand-principe

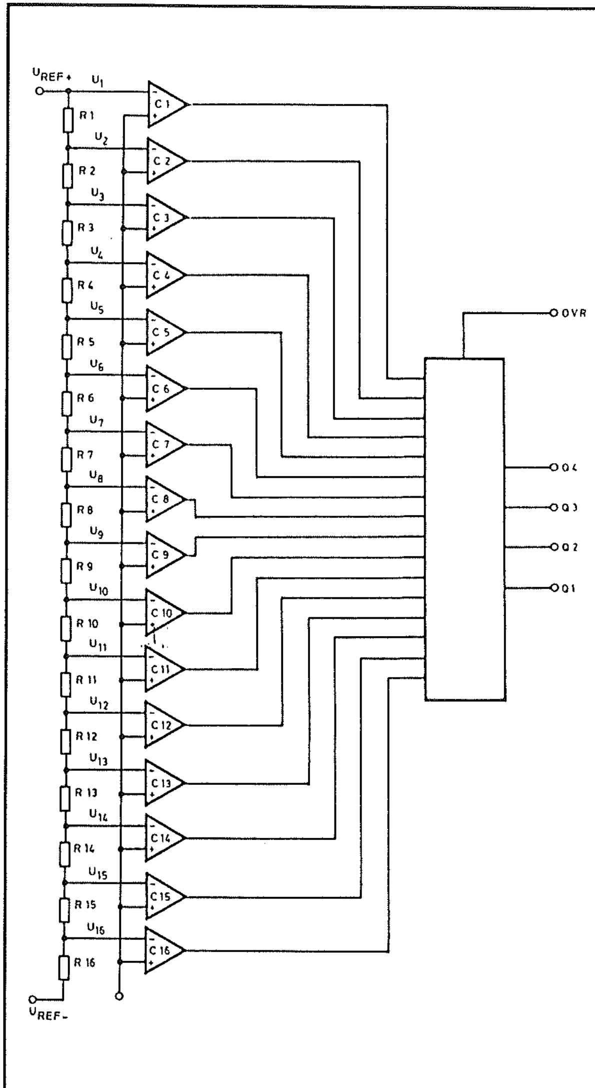
# 3/15.5
# ADC volgens flash-principe

## Inleiding

**Snellere ADC's noodzakelijk**
De snelle opmars van computergestuurde beeldmanipulatie heeft tot gevolg dat er steeds grotere eisen worden gesteld aan de snelheid waarmee een analoog naar digitaal omzetter werkt.
Bij het in real-time verwerken van videobeelden moeten er immers 50 beelden per seconde gedigitaliseerd worden.
Op deze "videocomputers" kunnen rechtstreeks videorecorders of videocamera's worden aangesloten. De analoge beeldinformatie wordt in de computer gedigitaliseerd en weer op het beeldscherm uitgelezen met een zo hoog mogelijke resolutie.
Met de bij de computer geleverde software kan men nadien het gedigitaliseerde beeld manipuleren, teksten of beelden invoegen en het resultaat wegschrijven naar diskette of onder de vorm van een analoog signaal op een van de video-uitgangen van het apparaat naar buiten voeren.
Voor het realiseren van deze technieken zijn snelle analoog naar digitaal omzetters nodig.
Een analoog videosignaal heeft immers een bandbreedte van rond de 5 MHz en wil het gedigitaliseerde beeld een bruikbare kwaliteit hebben zal de analoog naar digitaal omzetter, die het videosignaal in binaire vorm in het geheugen van de computer inleest snel genoeg moeten zijn om deze brede signaalband zonder detailverlies te verwerken.
De standaard ADC-schakelingen, gebaseerd op het SAR-principe, zijn in de meeste gevallen niet snel genoeg voor deze specifieke toepassing.
Vandaar dat er een reeks IC's is ontwikkeld, die gebaseerd is op een geheel nieuw principe voor het omzetten van een analoog signaal in digitale informatie. Deze zogenaamde flash-omzetters zullen zonder enige twijfel in steeds meer apparatuur worden toegepast en een grondige studie van de principes en mogelijkheden van de in deze omzetters toegepaste techniek is op dit moment dan ook zeer noodzakelijk.

Daarnaast zijn deze zeer snel werkende omzetters ook onmisbaar in de moderne oscilloscoop.
Deze apparaten werken immers steeds vaker digitaal.
Het analoge ingangssignaal wordt gedigitaliseerd en onder de vorm van een pixelgrafiek op het scherm van een monitor gezet. Ook voor deze toepassing is een SAR-ADC veel te traag.
Wil men een redelijke bandbreedte ter beschikking hebben, dan zal men gebruik moeten maken van snelle flash-omzetters.

## 15.5 ADC volgens flash-principe




**Figuur 3/15.5-1:** Het fundamentele principe van een flash-omzetter met resolutie van vier bit.

### De principiële werking

Het algemene principe van de flash-omzetter wordt besproken aan de hand van het blokschema van een vier bit brede schakeling, getekend in figuur 3/15.5-1.

Hart van de schakeling zijn 16 identieke comparatoren C1 tot en met C16. Alle positieve ingangen worden rechtstreeks verbonden met de analoge ingangsspanning $U_{IN}$. De negatieve ingangen zijn aangesloten op de knooppunten van een resistieve spanningsdeler, samengesteld uit 16 even grote in serie geschakelde weerstanden R1 tot en met R16.

Deze serie-schakeling is verbonden met twee referentiespanningen, $U_{REF+}$ en $U_{REF-}$. Omdat alle weerstanden even groot zijn en de ingangsimpedantie van de comparatoren zeer groot wordt verondersteld en de spanningsdeler dus niet belast is, valt er bijgevolg over iedere weerstand een even grote spanning $\Delta U$, waarvan de waarde gelijk is aan:

$$\Delta U = (U_{REF+} - U_{REF-}) / 16$$

Deze spanning $\Delta U$ bepaalt de resolutie van de schakeling, dat is de minimale verandering in de grootte van de ingangsspanning, die een verandering met één LSB in de uitgangscode van de schakeling tot gevolg heeft.

De zestien uitgangen van de comparatoren worden aangeboden aan een codeomzetter, die de 16 verschillende codes op deze ingangen omzet in de standaard binaire 1-2-4-8 code.

### Grafische toelichting

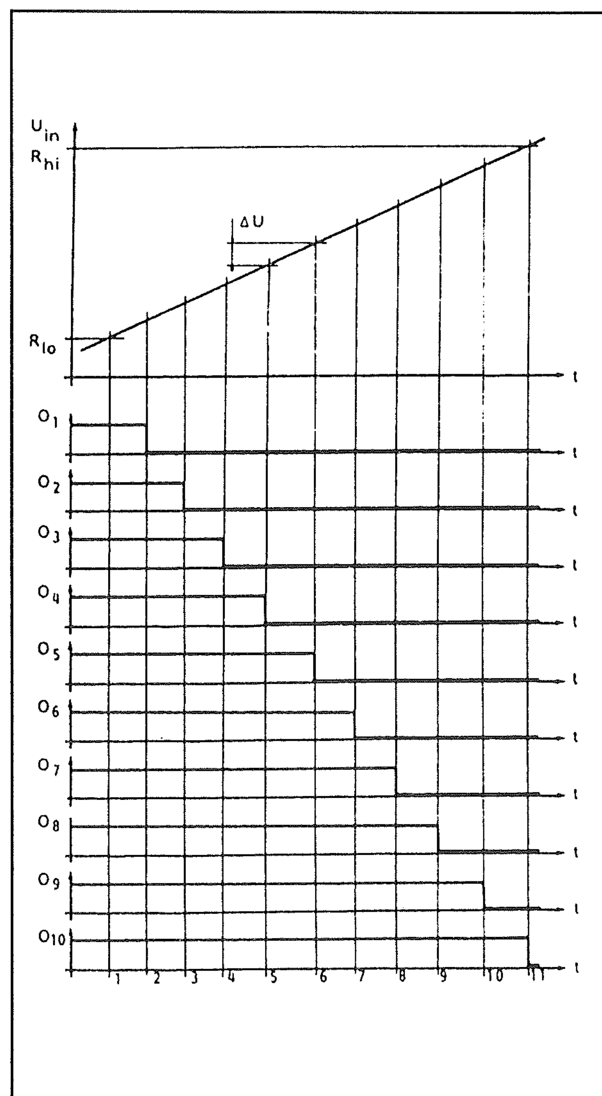
Hoewel de werking van de schakeling wel duidelijk zal zijn, wordt het grafische verband tussen alle signalen toch nog toegelicht aan de hand van de grafieken van figuur 3/15.5-2.

In deze tekening worden alle uitgangsspanningen van de comparatoren uitgezet in functie van een zaagtandvormig stijgende ingangsspanning.

Als de ingangsspanning kleiner is dan $\Delta U$ zullen alle comparatoren een "L" op de uitgang hebben. De negatieve ingangen

**15.5 ADC volgens flash-principe**

staan immers ingesteld op spanningen van n x ΔU, waarbij n gaat van 1 tot 16, en deze spanningen zijn groter dan de ingangsspanning. De code-omzetter zal de comparatorcode "L-L-L-L-L-L-L-L-L-L-L-L-L-L-L" omzetten in binair "L-L-L-L". Als de ingangsspanning tussen ΔU en 2 x ΔU ligt zal de uitgang van de onderste comparator "H" worden. De comparatorcode "H-L-L-L-L-L-L-L-L-L-L-L-L-L-L" wordt nu door de code-omzetter omgevormd in binair "L-L-L-H".




**Figuur 3/15.5-2:** Grafische verklaring van de werking van de flash-omzetter.

**Overbereikindicatie**

Merk op dat voor het bestrijken van het gehele bereik slechts 15 comparatoren noodzakelijk zijn. De bovenste comparator C1 is echter noodzakelijk voor het detecteren van een overbereiksituatie. De uitgang van deze schakeling wordt "H" als de ingangsspanning groter wordt dan de bovenste referentie $U_{REF+}$ en wordt gebruikt voor het opwekken van een OVR-signaal. Dit signaal heeft bij flash-omzetters een veel grotere betekenis dan bij SAR-ADC's. Dank zij deze uitgang is het bijvoorbeeld mogelijk twee flash-omzetters te cascaderen, waardoor de resolutie van het systeem met één bit toeneemt. Dit wordt toegelicht in het derde deel van dit hoofdstuk.

**Snelheid van de omzetter**

De flash-omzetter volgens het principe van figuur 3/15.5-1 werkt in theorie traagheidsloos. De binaire code op de uitgangen past zich onmiddellijk aan aan iedere wijziging in het ingangssignaal die groter is dan de stapspanning ΔU. Het systeem werkt bovendien volledig parallel. Dat wil zeggen dat alle uitgangen tezelfdertijd aan de nieuwe ingangsspanning worden aangepast.

Vandaar dat men een dergelijke omzetter ook wel "single-step" noemt. Dit is een groot voordeel ten opzichte van de SAR-schakelingen, omdat dit in wezen serieschakelingen zijn. De binaire uitgangen worden een na een ingesteld op de nieuwe waarde van de ingangsspanning.

Natuurlijk bestaat deze onmiddellijke respons alleen in theorie, omdat ook nu het een bepaalde tijd kost alvorens de comparatoren zich op een nieuwe situatie hebben ingesteld en de code-omzetter ook een bepaalde tijd nodig heeft om een nieuwe comparatorcode om te zetten in

de corresponderende binaire code. Het zal echter wel duidelijk zijn dat deze vertragingen niet te vergelijken zijn met de tijd die een volledige omzettingssyclus van een SAR-ADC in beslag neemt.
Vier bit brede flash-omzetters hebben een gemiddelde omzettingstijd van 10 ns, hetgeen goed is voor een bemonsteringsfrequentie van 100 MHz!

**Principiele schakeling niet bruikbaar!**
De in figuur 3/15.5-1 voorgestelde schakeling is helaas om een aantal redenen in de praktijk volledig onbruikbaar.
Op de eerste plaats is de vier bit resolutie voor de meeste toepassingen veel te klein. Nu lijkt er niets op tegen om het aantal comparatoren en het aantal weerstanden van de spanningsdeler uit te breiden. Voor een omzetter met een resolutie van 8 bit moet men dan echter 256 identieke weerstanden en 256 identieke comparatoren op één chip integreren. Het eerste is geen probleem, het tweede is met de huidige stand van de technologie volstrekt onmogelijk.
Men heeft daar een aantal oplossingen voor verzonnen die in de volgende paragrafen aan de orde zullen komen en in principe in twee kategorieën zijn in te delen.

Kategorie 1 verhoogt de resolutie door het combineren van eenvoudige drie, vier of vijf bit omzetters tot een systeem met hogere resolutie, kategorie 2 zoekt de oplossing in het vereenvoudigen van de te integreren schakelingen, zodat het technologisch wel mogelijk wordt 256 identieke schakelingen op een chip onder te brengen.

Op de tweede plaats heeft men in de praktijk meer nadeel dan voordeel van de onmiddellijke reactie van de binaire uitgangen op ingangsvariaties.
De binaire code zal in de meeste gevallen ingelezen moeten worden in een geheugen en dat kan maar op bepaalde momenten. Tijdens dat inlezen van de code in een computergeheugen mag echter de code op de uitgangen van de omzetter niet veranderen. Vandaar dat het noodzakelijk is de schakeling op de een of andere manier te synchroniseren met een externe clock.

# De verschillende systemen

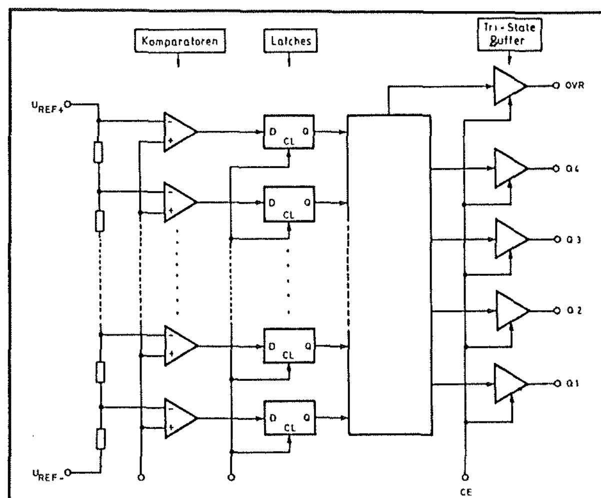
**Inleiding**
De bezwaren van de theoretische flash-omzetter zijn door diverse fabrikanten op diverse manieren opgelost.
In wezen kunnen al deze oplossingen tot vijf basisprincipes herleid worden.

In de internationale vakliteratuur worden deze principes als volgt genoemd:
- de gesynchroniseerde single-step flash-omzetter;
- de two-step flash-omzetter;
- de enkelvoudige auto-balance flash-omzetter;
- de gecascadeerde auto-balance omzetter;
- het gecascadeerde differentie type.

In de volgende paragrafen wordt de werking van deze vijf typen flash-omzetters besproken.

**De gesynchroniseerde single-step flash-omzetter**
Het praktische schema van een vier bit flash-omzetter volgens dit principe is getekend in figuur 3/15.5-3.

### 15.5 ADC volgens flash-principe




**Figuur 3/15.5-3:** Praktisch blokschema van een gesynchroniseerde single-step flash-omzetter.

De uitgangen van de comparatoren gaan niet rechtstreeks naar de code-omzetter, maar worden aangeboden aan de D-ingang van flip-flop's. Alle clockingangen zijn parallel geschakeld en worden naar buiten gevoerd.
Op deze ingang, die meestal wordt geïdentificeerd met "ENCODE" of "STROBE" moet een positieve puls worden aangelegd op het moment dat de omzetter wordt uitgelezen. De D-gegevens worden doorgekoppeld naar de Q-uitgang van de flip-flop's en in de code-omzetter op de gebruikelijke manier omgezet in een binaire code.

De vier binaire uitgangen gaan echter niet rechtstreeks naar de uitgangen maar via tri-state buffers.
Deze worden gestuurd door een CE-signaal (chip-enable). Deze tri-state architectuur heeft als voordeel dat men de uitgangen van de omzetter rechtstreeks op de datalijnen van een µP-systeem kan aansluiten.
Het tweede voordeel van deze tri-state uitgangen is dat men, in combinatie met de OVR, op een zeer eenvoudige manier de resolutie van de omzetter kan verhogen door twee identieke schakelingen te cascaderen.

Bij sommige praktische schakelingen heeft men twee CE-ingangen ingebouwd, zodat de besturingsmogelijkheden groter worden.
Er zijn echter ook geïntegreerde flash-omzetters op de markt zonder tristate structuur.

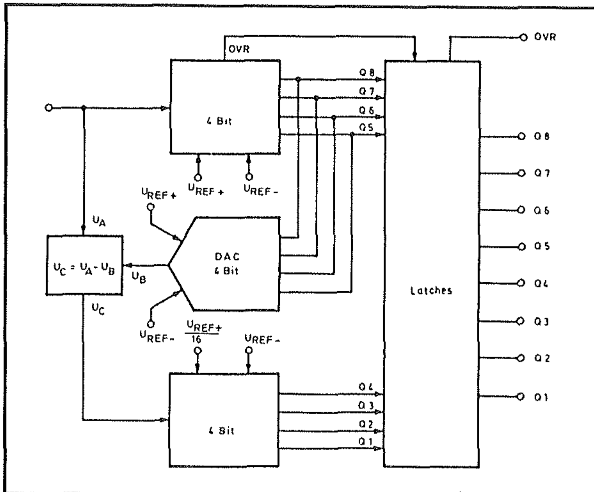
**Opmerking**
De in de vorige paragraaf beschreven synchronisatie door middel van ingebouwde latches is standaard bij alle systemen. Vandaar dat deze functie vanaf nu niet meer afzonderlijk besproken en ingetekend zal worden in de beschrijving van de verschillende flash-systemen die van de gesynchroniseerde single-step versie zijn afgeleid.

**De two-step flash-omzetter**
Zoals de naam reeds doet vermoeden zet dit type 8 bit omzetter, in figuur 3/15.5-4 blokschematisch voorgesteld, de ingangsspanning in twee stappen om in een binaire code.

De analoge ingangsspanning wordt rechtstreeks aangeboden aan een standaard one-step vier bit brede flash-omzetter.
De digitale uitgangen van deze omzetter vormen de vier meest belangrijke bits van het totale binaire woord. Deze vier bits worden in een standaard DAC omgezet in een analoge spanning.

Deze spanning wordt in een analoge verschilversterker afgetrokken van de ingangsspanning.

## 15.5 ADC volgens flash-principe




**Figuur 3/15.5-4:** De two-step omzetter reduceert het aantal noodzakelijke comparatoren door het volledige bereik op te splitsen in twee deelbereiken.

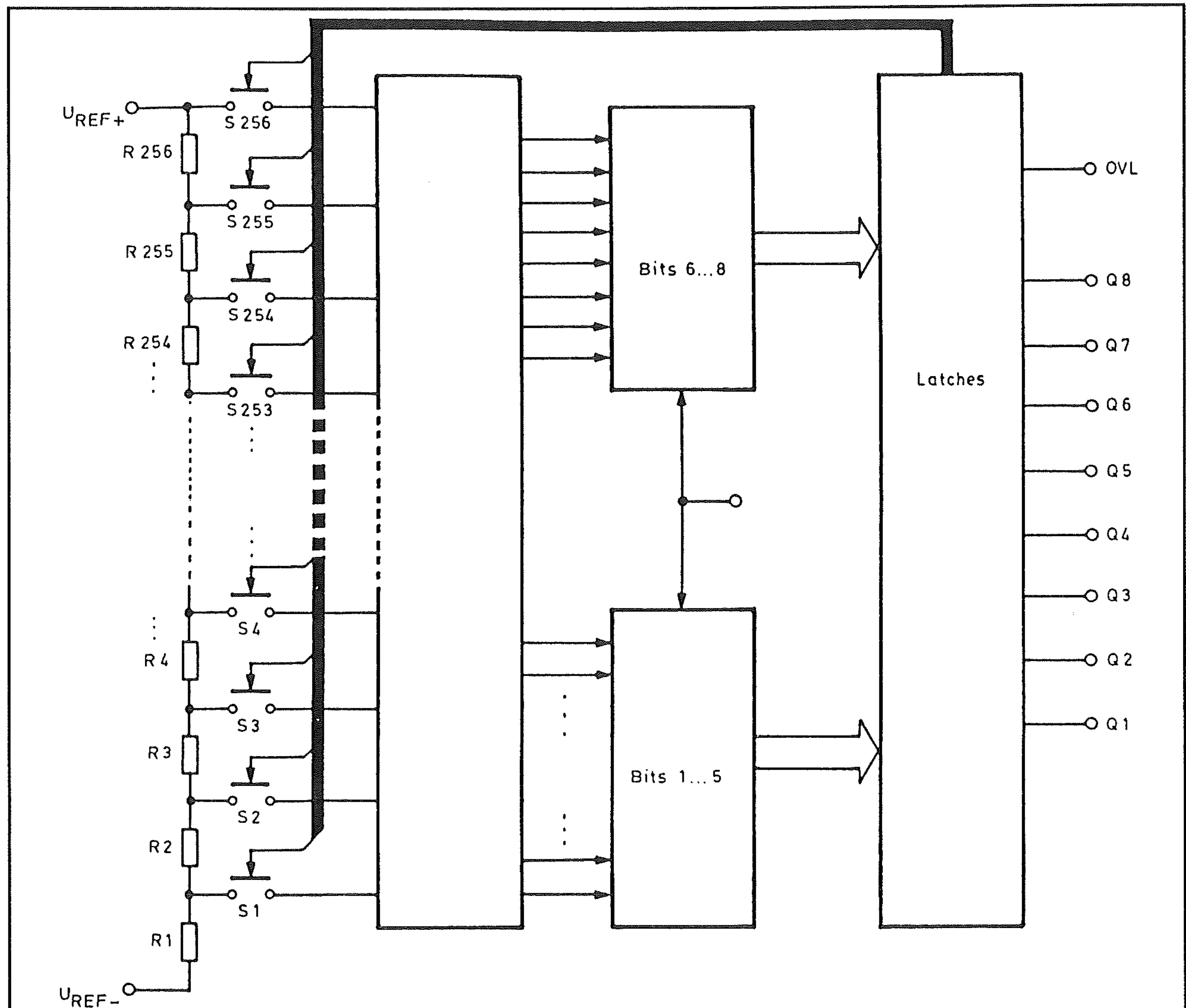
Het restant gaat naar de ingang van een tweede, identieke vier bit brede one-step omzetter. Het enige verschil is dat de $U_{REF+}$ van deze omzetter zestien maal kleiner is dan deze van de bovenste omzetter. De uitgangen van deze tweede omzetter leveren de vier laagste bits van het volledige uitgangswoord.

Stel dat de schakeling een bereik heeft van 256 mV en $U_{REF+}$ dus gelijk is aan +256 mV.
De onderste schakeling wordt dan gerefereerd aan een referentiespanning van +16 mV. De resolutie van de bovenste schakeling, $\Delta U$, is gelijk aan 16 mV, die van de onderste schakeling gelijk aan 1 mV. Zolang de spanning op de ingang kleiner is dan 16 mV zal de bovenste omzetter niet worden aangesproken. Alle uitgangen zijn "L", de uitgangsspanning van de DAC, $U_B$, is 0 V.
De ingangsspanning van de onderste omzetter, $U_C$, is gelijk aan $U_A$, de ingangsspanning.

De uitgangen Q1 tot en met Q4 vormen het binaire 1-2-4-8-equivalent van de ingangsspanning. Als de ingangsspanning gelijk wordt aan 16 mV zal de onderste comparator van de bovenste omzetter omslaan. Q5 wordt "H", de DAC is zo afgeregeld dat hij een spanning van 16 mV genereert.
Deze 16 mV wordt afgetrokken van de 16 mV grote ingangsspanning, $U_C$ is gelijk aan nul. Q1 tot en met Q4 zijn "L". de volledige code is "L-L-L-H-L-L-L-L", het binaire equivalent van 16 mV.
Stijgt de ingangsspanning tot 17 mV, dan levert de verschilversterker 1 mV aan $U_C$, de onderste comparator van de onderste omzetter klapt om, de uitgangscode wordt "L-L-L-H-L-L-L-H". Het zal duidelijk zijn dat er zeer hoge eisen worden gesteld aan de nauwkeurigheid van de verschilversterker, de DAC en de schakeling die de referentiespanning door 16 deelt. De geringste tolerantie op een van deze componenten heeft tot gevolg dat de schakeling niet-monotoon wordt. De normale codevolgorde "L-L-L-L-L-L-L-L" tot en met "H-H-H-H-H-H-H-H" zal dan niet volledig regelmatig worden doorlopen, er zullen op regelmatige afstanden zogenaamde "missing codes" optreden.

Het introduceren van de verschilversterker en voornamelijk van de DAC heeft een niet onaanzienlijke snelheidsvermindering tot gevolg. Typische omzettingstijden voor two-step omzetters liggen rond de 1,5 µs en benaderen dus de prestaties van de snelste SAR-omzetters.
Dit en het feit dat deze omzetters een veel grotere kans op niet-monotoon gedrag hebben dan standaard SAR-ADC's zal wel de voornaamste reden zijn dat er maar weinig two-step flash-omzetters op de markt zijn gebracht.

## 15.5 ADC volgens flash-principe




**Figuur 3/15.5-5:** Het risico van niet-monotoon gedrag is niet aanwezig bij dit type two-step omzetter, waarbij de "bereikomschakeling" wordt uitgevoerd door de ingangen van de comparatoren met steeds andere aftakkingen van de weerstandsdeler te verbinden.

### De MPS-oplossing

Bij de bespreking van two-step omzetters mag een korte beschrijving van een zeer speciale, door Micro Power Systems ontwikkelde, omzetter niet ontbreken.

Zoals gezegd is het zwakke punt van de besproken two-step structuur het grote risico van niet-monotoon gedrag als bijvoorbeeld de verschilversterker een offset van al is het maar 1 mV zou vertonen.

In de MPS-schakeling, blokschematisch voorgesteld in figuur 3/15.5-5, wordt uitgegaan van een standaard weerstandsketen, opgebouwd uit 256 even grote weerstanden. Alle knooppunten zijn verbonden met elektronische schakelaars.

De knooppunten worden door middel van deze schakelaars verbonden met 40 comparatoren, verdeeld in twee groepen.

## 15.5 ADC volgens flash-principe

De bovenste groep van 8 comparatoren vormt een standaard one-step omzetter met een resolutie van 3 bit en decodeert de drie MSB's, de onderste groep vormt een 5 bit one-step omzetter en decodeert de vijf laagste bits.

De comparatoruitgangen worden gebufferd en omgezet in een 8 bit brede binaire code.
Maar bovendien worden uit de informatie op de comparatoruitgangen stuursignalen afgeleid die de knooppunten uit de weerstandsdeler met de juiste comparatoren verbinden. Welke knooppunten met welke comparatoren verbonden moeten worden is afhankelijk van de grootte van de ingangsspanning, die overigens rechtstreeks aan alle comparatoren wordt aangeboden.

**De enkelvoudige auto-balance flash-omzetter**
Het grote probleem bij het opvoeren van de resolutie van one-step flash-omzetters is dat het aantal noodzakelijke comparatoren met een macht van twee toeneemt. Vier bit resolutie heeft $2^4 = 16$ comparatoren nodig, acht bit vereist niet minder dat $2^8 = 256$ comparatoren!
Klassieke comparatoren zijn vrij ingewikkeld en het is onmogelijk dat groot aantal schakelingen op een chip te integreren. Bovendien moeten alle schakelingen volledig identiek zijn, met name wat de offseteigenschappen betreft. Afwijkingen in de offset tussen opeenvolgende comparatoren kunnen leiden tot niet-monotoon gedrag.

Men is er in geslaagd dit probleem op te lossen door de comparatoren te vervangen door veel eenvoudiger samengestelde gewone versterkers.

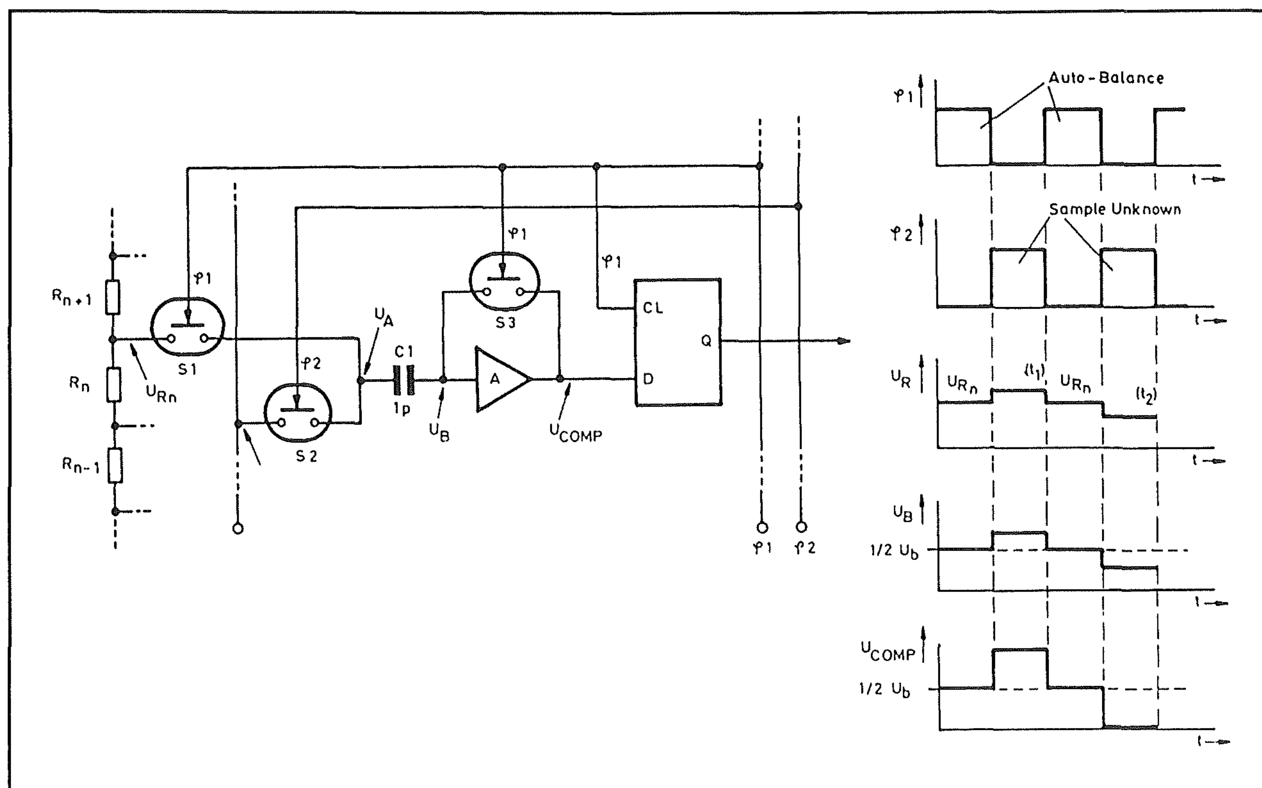
Deze techniek maakt gebruik van het zogenaamde "auto-balance/sample-unknown" principe en deze wordt op dit moment als standaard toegepast in de meeste flashomzetters met een resolutie van meer dan 4 bit.

Het principe van dit systeem is getekend in figuur 3/15.5-6, waar voor de eenvoud maar één comparator uit de volledige reeks van 64, 128 of 256 getekend is.

De "comparator" is samengesteld uit een enkeltraps versterker A en een zeer kleine geïntegreerde condensator C1, waarvan de waarde ongeveer gelijk is aan 1 pF. Drie elektronische schakelaars zijn in het systeem opgenomen, die gestuurd worden door twee clocksignalen φ1 en φ2. Deze worden afgeleid uit een extern clocksignaal en zijn ten opzichte van elkaar geïnverteerd.

Een volledige omzetting, opgebouwd uit twee fasen, neemt een volledige clockperiode in beslag.
Als φ1 "H" is staat het systeem in de "auto-balance"-modus. S1 en S3 worden gesloten. De linker plaat van de condensator wordt opgeladen tot de spanning $U_{RN}$ op het knooppunt van de weerstandsdeler. Schakelaar S3 sluit de versterker kort, hetgeen tot gevolg heeft dat de spanning op de rechter plaat van de condensator zich instelt op het omklappunt van de comparator.
Deze spanning is ongeveer gelijk aan de helft van de voedingsspanning. Als φ2 "H" wordt gaat de schakeling naar de "sample-unknown"-modus. De twee genoemde schakelaars worden geopend, schakelaar S2 sluit. De linker plaat van de condensator wordt verbonden met de ingangsspanning.

## 15.5 ADC volgens flash-principe




**Figuur 3/15.5-6:** Principiële werking van de auto-balance omzetter.

Afhankelijk van de verhouding tussen de ingangspanning $U_{IN}$ en de delerspanning $U_{RN}$ zal de spanning $U_A$ plots stijgen of dalen. Deze stijging of daling wordt door de condensator doorgekoppeld naar de ingang van de versterker en door deze schakeling versterkt. De uitgang van de versterker zal dus vastlopen tegen ofwel de voedingsspanning, ofwel de massa.
Deze grote spanningssprong wordt bij de positieve flank van de volgende φ1-puls ingelezen in een latch. Alle comparatoren, waarvan de $U_{RN}$ kleiner is dan de ingangsspanning $U_{IN}$ lezen dus een "H" in hun latch, alle comparatoren waarvan de $U_{RN}$ groter is dan $U_{IN}$ lezen een "L" in hun latch.

Uit de grafieken blijkt duidelijk dat de echte waarde van de spanning op de ingangen van de comparatoren geen betekenis heeft voor de werking. Enige voorwaarde voor een goede werking is dat de versterking van de versterkertrappen zo groot is dat zelfs de kleinste spanningssprong, die via de condensatoren aan de ingang wordt aangeboden, voldoende versterkt wordt om een eenduidige "L" of "H" aan de latch aan te bieden.

De voor het auto-balance principe noodzakelijke schakelingen kunnen zeer eenvoudig massaal op een chip geïntegreerd worden. Men is er dan ook zonder al te grote problemen in geslaagd voor commercieel aantrekkelijke prijzen auto-balance flash-omzetters met een resolutie van 8 bit op de markt te brengen.

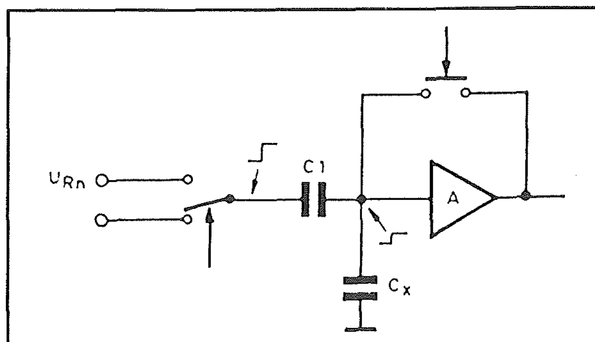
De noodzaak van het gebruik van geïntegreerde condensatoren, die uit de aard der zaak zeer klein zijn, heeft echter een

**15.5 ADC volgens flash-principe**

groot nadeel. Men is niet meer vrij in de keuze van de clockfrequentie.
De maximale frequentie wordt uiteraard bepaald door de vertragingen in de diverse onderdelen van de schakeling en door de tijdconstante waarmee de condensatoren op- of ontladen tot de nieuwe evenwichtstoestand.
Ook de minimale clockfrequentie is echter aan een grens gebonden, grens die wordt bepaald door de snelheid waarmee de lading van de zeer kleine condensatoren weglekt. In de meeste gevallen ligt de minimale clockperiode rond de 50 µs.
Bij langere perioden bestaat de kans dat de kleine spanningsverschillen over de condensatoren weglekken gedurende de φ2-fase, waardoor de comparatoren geen eenduidige "L" of "H" aan de latches aanbieden en het systeem zeer grote fouten gaat vertonen. Deze beperking geldt overigens alleen voor de φ2-fase, zodat het voor speciale toepassingen, waar later op terug gekomen wordt, mogelijk is met zeer asymmetrische clocksignalen te sturen voor eenmalige bemonstering van een ingangssignaal.

Tot slot zij nog vermeld dat in sommige databoeken dit type flash-omzetter wordt beschreven onder de benaming "clocked flash converter"

**De gecascadeerde auto-balance omzetter**
De minimale ΔU, waarop een autobalance omzetter reageert, hangt niet alleen af van de versterking van de enkeltraps versterker.
Zoals uit figuur 3/15.5-7 blijkt, wordt de spanningssprong die op de linker plaat van de condensator ontstaat bij het omschakelen van de auto-balance naar de sample-unknown fase verzwakt door een capacitieve spanningsdeler.

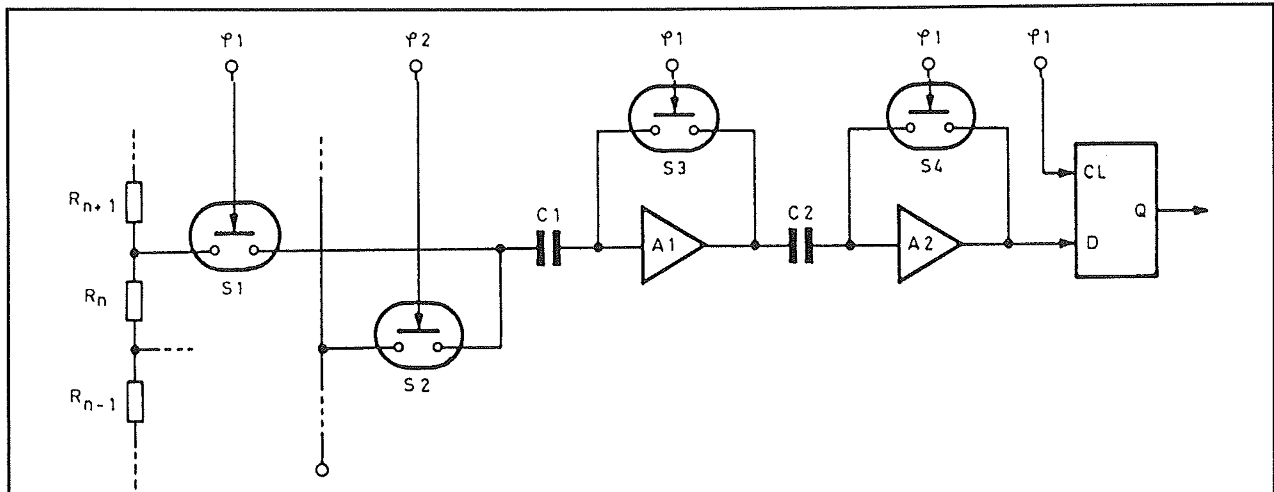



**Figuur 3/15.5-7:** De gevoeligheid van de auto-balance comparator wordt gereduceerd door de aanwezigheid van een paracitaire capaciteit Cx, geschakeld tussen de ingang van de versterker en de massa.

Deze is opgebouwd uit de samplecondensator C1 en de paracitaire condensator Cx, aanwezig tussen de ingang van de versterker en de massa. Rekening houdende met de waarde van rond de 1 pF voor C1 zal het duidelijk zijn dat men de invloed van de paracitaire capaciteit niet kan verwaarlozen.

Het gevolg is dat kleine verschillen tussen $U_{RN}$ en $U_{IN}$ niet in staat zijn de versterker volledig uit te sturen en de uitgangsspanning van de comparator digitaal ongedefinieerd is.
Dit verschijnsel wordt problematischer naarmate de resolutie van het systeem stijgt. Bij een 6 bit breed systeem met een ingangsbereik van 2,56 V is de systeemresolutie gelijk aan 40 mV.
Kleinere spanningsvariaties in de ingangsspanning kunnen zelfs in een ideale omzetter niet in de beschikbare 64 verschillende codes op de zes uitgangen gevat worden.
Het probleem van de beperkte versterking van de comparatorversterker en de capacitieve spanningsdeler is dan niet urgent.

## 15.5 ADC volgens flash-principe




**Figuur 3/15.5-8:** Het principe van de gecascadeerde auto-balance omzetter.

Bij een acht bit brede omzetter met hetzelfde bereik ligt de systeemresolutie echter bij 10 mV.
De kans dat zo'n kleine ΔU niet wordt opgemerkt vanwege de genoemde beperkingen is dan veel groter. Vandaar dat men er bij systemen met 8 bit resolutie toe over gaat de comparatorversterker op te splitsen in twee trappen volgens het schema van figuur 3/15.5-8.

Beide versterkers worden door de clock φ1 kortgesloten gedurende de auto-balance fase.
Nadien zal de kleine spanningsvariatie op de linker plaat van de condensator C1 twee maal versterkt worden. Deze flash-ADC's noemt men gecascadeerde auto-balance omzetters.

**Het gecascadeerde differentie type**
Dit type flash-omzetter werkt op precies dezelfde manier als waarmee men een decimaal getal uit het hoofd omzet in de corresponderende binaire code. De ingangsspanning wordt achtereenvolgens vergeleken met referentiespanningen van N, N/2, N/4, N/8, N/16, N/32, N/64 en N/128 V. Is de ingangsspanning groter dan de referentiespanning, dan wordt de referentie van de ingang afgetrokken en een bit "H" gemaakt. Het restant wordt vervolgens aan de volgende trap aangeboden.

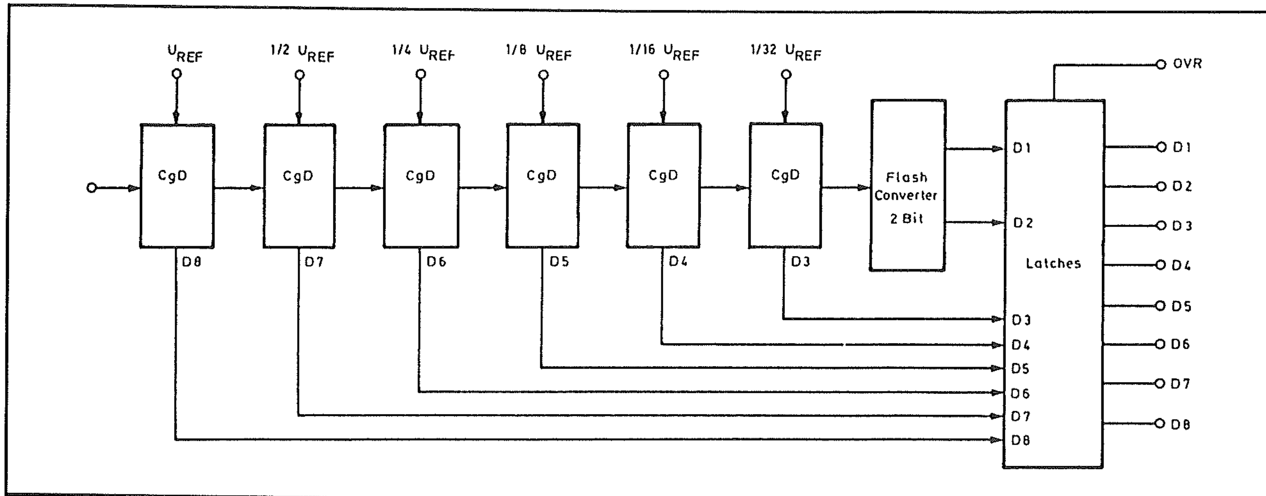
Het blokschema van een gecascadeerde differentie flash-omzetter is getekend in figuur 3/15.5-9.

Bij deze schakeling worden slechts zes comparatoren/verschilversterkers toegepast, de twee laagste bits worden gedecodeerd in een gewone twee bit brede one-step flash-omzetter. De databits worden opgeslagen in een latch en aan de uitgang aangeboden.

Bij dit type omvormer is er dus sprake van een seriële omzetting van de analoge spanning in een binaire code.

Men kan zich de vraag stellen of dit een zuivere flash-omzetter is, die immers per definitie parallel werkt. Feit is echter dat dit type met hetzelfde soort technieken werkt als de meer traditionele flash-omzetters en dat vandaar een korte bespreking niet mag ontbreken.

**15.5 ADC volgens flash-principe**




**Figuur 3/15.5-9:** Het principe van de gecascadeerde differentie flash-omzetter.

Vanwege de seriële werking van het systeem zal men in de meeste gevallen verplicht zijn gebruik te maken van een sample-and-hold, geschakeld tussen de analoge ingang en de ingang van de omzetter.

# Schakelingdetails en voorbeeldschakelingen

## Inleiding

Na de korte bespreking van de verschillende principes waarmee flash-omzetters kunnen werken, wordt in dit subhoofdstuk dieper ingegaan op bepaalde deelschakelingen van de flash-omzetters. Daarnaast wordt een aantal algemeen geldende voorbeeldschakelingen behandeld.

## Praktisch schema van een auto-balance schakeling

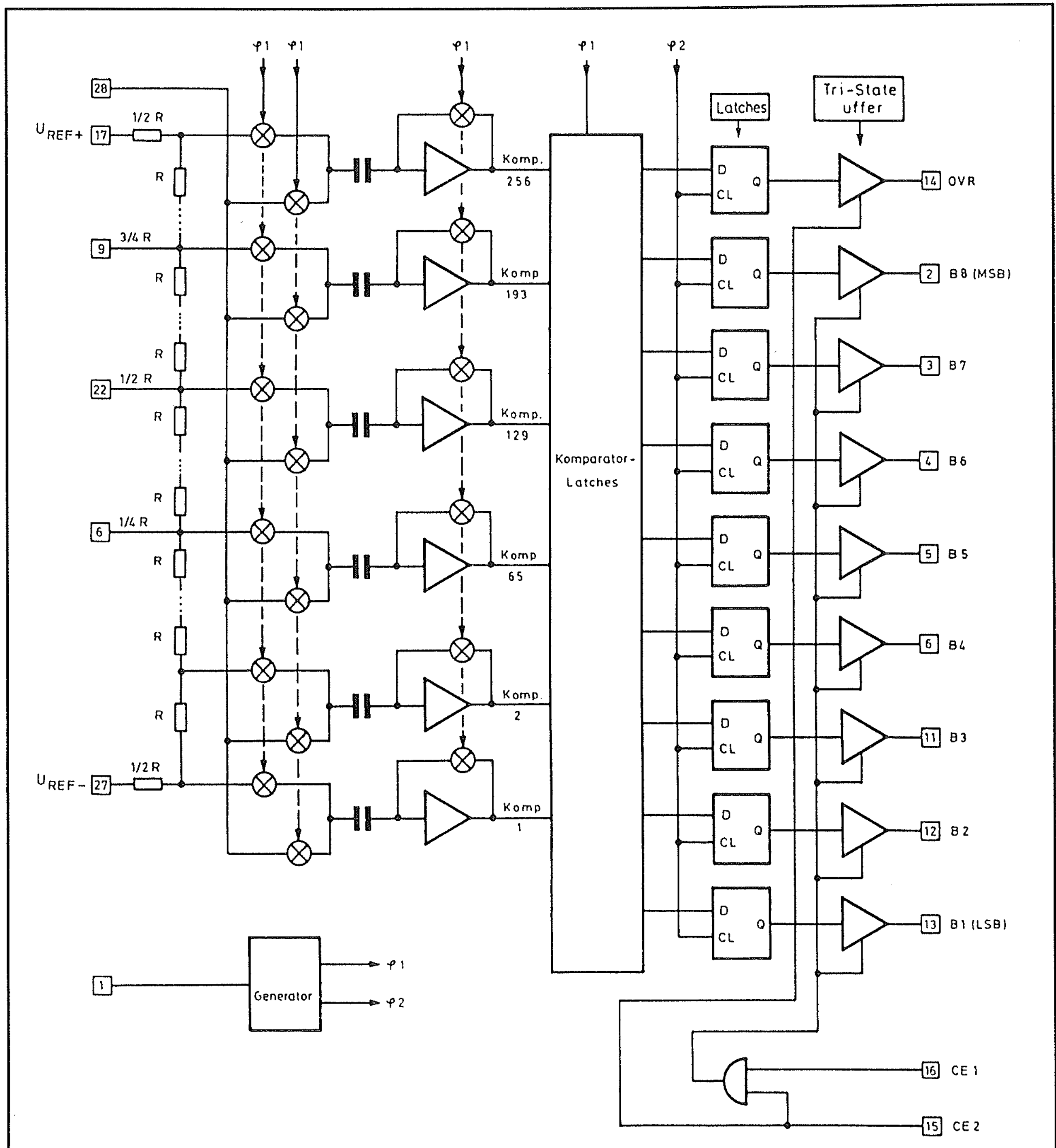
De meeste beschikbare geïntegreerde schakelingen werken volgens het principe van de enkelvoudige auto-balance omzetter.

Aan de hand van een praktisch voorbeeld wordt in deze paragraaf dieper ingegaan op de precieze timing van zo'n auto-balance omzetter. Opgemerkt dient te worden dat er schakelingen bestaan die precies tegenovergesteld werken als beschreven bij de principeverklaring. Dat betekent dat deze een "auto-balance" uitvoeren gedurende de lage periodehelft van de clock en de analoge spanning aftasten gedurende de hoge periodesyclus. Er zijn ook schakelingen op de markt, die een extra stuuringang hebben waarmee het mogelijk is een van beide systemen te selecteren. Op het praktisch voordeel van deze ingang wordt later ingegaan.

In figuur 3/15.5-10 is het uitgewerkte blokschema van een typische enkelvoudige auto-balance flash-omzetter getekend. In het rechthoekige blok zijn 256 comparatorlatches en de codeomzetter opgenomen.

De acht uitgangen van deze codetransformator worden aan even zoveel uitgangslatches aangeboden, die de tri-state uitgangsbuffers sturen.

## 15.5 ADC volgens flash-principe

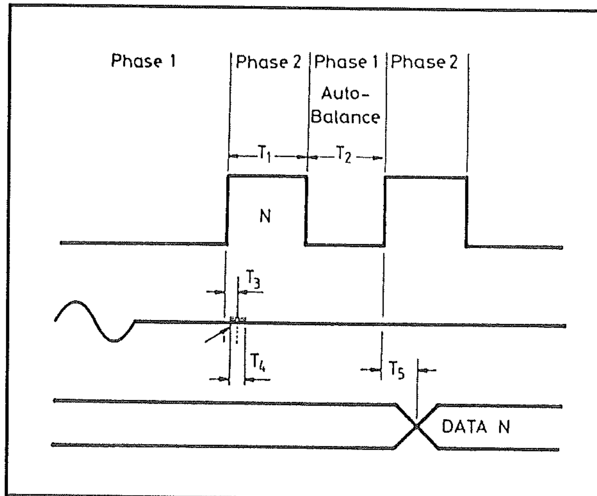



**Figuur 3/15.5-10:** Volledig uitgewerkt intern blokschema van een auto-balance flash-omzetter.

De twee interne clocksignalen φ1 en φ2 worden met een aantal inverterende buffers afgeleid uit een extern clocksigaal.

De werking van de schakeling wordt toegelicht aan de hand van de grafieken van figuur 3/15.5-11.

## 15.5 ADC volgens flash-principe




**Figuur 3/15.5-11:** De volledige timing van een omzettingssyclus uitgevoerd met de schakeling van figuur 3/15.5-10.

Een “L” op de externe clock zet de schakeling in de “auto-balance” modus.
De grafieken geven de werking en de pulsvolgorde weer bij een enkele omzetting. Daarvoor zijn twee opeenvolgende clockpulsen nodig. De rusttoestand is de autobalance fase. De omzetting start bij de positieve flank van de eerste clockpuls. De ingangsspanning wordt met de condensatoren van alle comparatortrappen verbonden.

Het inlezen van deze spanning en het stabiliseren van de comparatoren vergt enige tijd, T3, die men de “aperture delay” noemt.
Deze vertraging ligt rond de 10 ns. De exacte tijd is echter afhankelijk van een aantal moeilijk te definiëren omstandigheden, zoals de verhouding tussen de ingangsspanning en de spanning $U_{RN}$.
De maximale spreiding op de “aperture delay”, T4 in de grafiek, noemt men de “aperture jitter” en bedraagt slechts 60 ps. Deze tijd is niet constant voor alle 256 comparatoren en vandaar dat variaties in de ingangsspanning gedurende deze tijd niet betrouwbaar gedigitaliseerd zullen worden.

T1 is de sampletijd en is gebonden aan een minimum maar ook aan een maximum. Een typisch bruikbaar bereik loopt van ongeveer 25 ns tot ongeveer 50 µs. Langere tijden veroorzaken onnauwkeurigheden door het weglekken van het spanningsverschil over de condensatoren. De kortste tijd wordt in hoofdzaak vastgelegd door de aparture delay.

Bij de negatieve flank van de eerste clockpuls worden de gegevens op de uitgangen van de comparatoren ingelezen in de comparatorlatches. Nadien wordt een tweede “auto-balance”-fase ingelast, T2, die minimaal 25 ns moet duren. Deze tijd is noodzakelijk om de gegevens op de uitgangen van de comparatorlatches door de code-omzetter te loodsen. Na deze tijd is men er zeker van dat alle 256 gegevens zijn omgezet in een passende acht bit code, die wordt aangelegd op de data-ingangen van de uitgangslatches.

De gegevens worden in deze latches ingelezen bij de positieve flank van de tweede clockpuls. Uiteraard kost deze actie ook een bepaalde tijd, T5, die men de “digital output delay” noemt en in de grootteorde van 50 ns ligt.

De besturing van de tri-state uitgangsbuffers door middel van de twee CR-signalen wordt in een afzonderlijke paragraaf besproken. De echte omzetting neemt dus slechts maximaal T3 + T4/2 in beslag en deze zeer korte omzettingstijd heeft als voordeel dat het niet noodzakelijk is de momentele waarde van de ingangsspanning gedurende de omzetting op te slaan

**15.5 ADC volgens flash-principe**

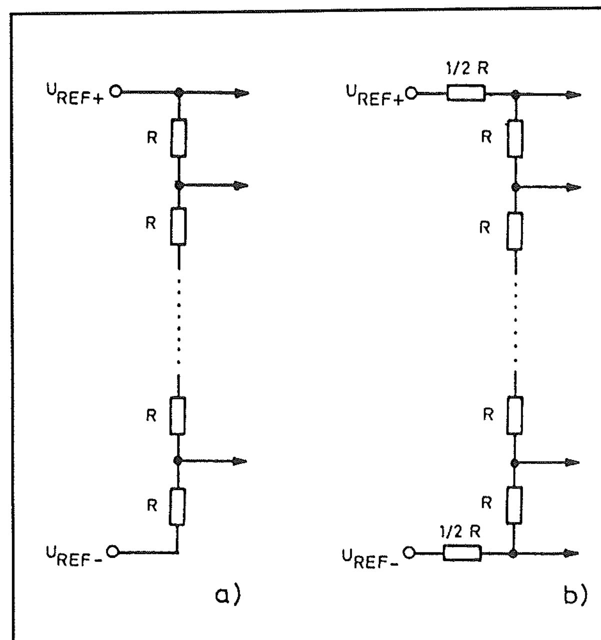
in de condensator van een sample-and-hold.

**De weerstandsdeler**

Het zal duidelijk zijn dat de nauwkeurigheid van een flash-omzetter voornamelijk afhankelijk is van de tolerantie van de weerstanden van de weerstandsdeler. Maar niet alleen deze tolerantie is belangrijk, even belangrijk is de mate waarin de belasting van de deler de nauwkeurigheid van de spanningsdeling beïnvloedt. Ieder knooppunt is aangesloten op een comparator met een niet oneindig hoge ingangsimpedantie. Tussen ieder knooppunt en de massa staat dus een extra weerstand geschakeld en de nauwkeurigheid van de geïntegreerde precisieweerstanden kan alleen maar gehandhaafd blijven als de weerstand van de deler veel en veel lager is dan de belastingsimpedantie van een knoop.

Vandaar dat de meeste flash-omzetters weerstandsdelers hebben die zijn opgebouwd uit weerstanden met een waarde van ongeveer 2 Ω! De totale weerstand van de deler is dan bij een 8 bit omzetter 512 Ω en bij een 6 bit omzetter slechts 128 Ω! Er worden dus speciale eisen gesteld aan de referentiebron die de stabiele referentiespanning voor het systeem moet opwekken.
Hetgeen er in de praktijk op neer komt dat men de referentiedioden door middel van een operationele versterker zal moeten bufferen.

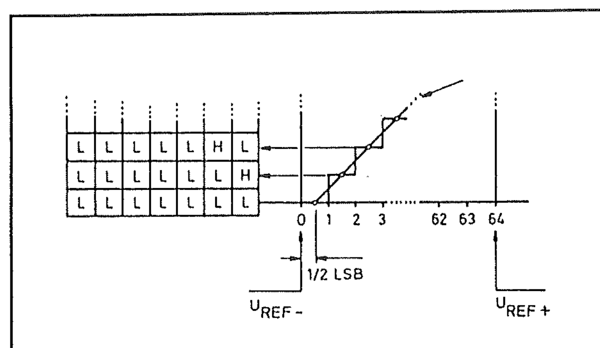
Een tweede punt waar men in de praktijk op moet letten is dat er twee verschillend samengestelde weerstandsketens worden toegepast. Een aantal omzetters maakt gebruik van de structuur die getekend is in figuur 3/15.5-12-a.




**Figuur 3/15.5-12:** Twee in de praktijk voorkomende schakelsystemen van de interne spanningsdeler.

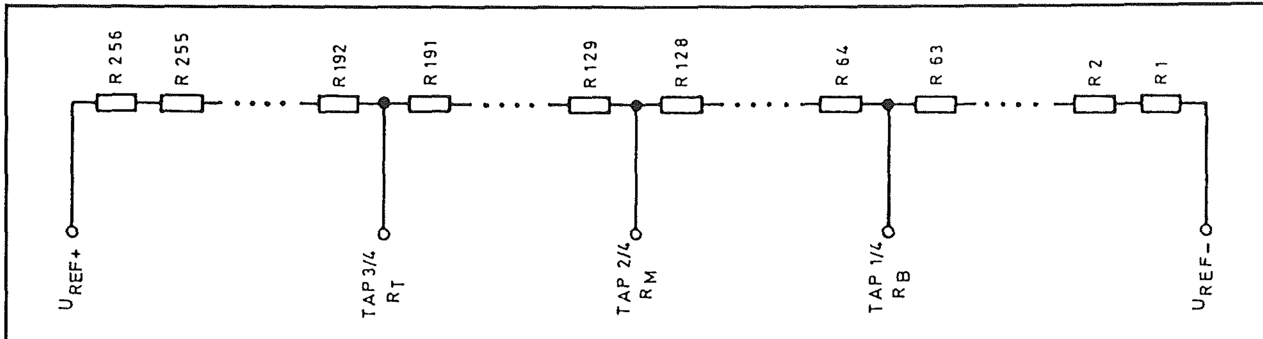
Het omslagpunt van de onderste comparator ligt op precies 1 x ΔU, waarbij ΔU de spanning over een weerstand R is.

Bij de meeste omzetters treft men echter de in figuur 3/15.5-12-b getekende weerstandsdeler aan, waarbij de eigenlijke deler aan weerszijden wordt afgesloten met in serie geschakelde weerstanden van 1/2 R.




**Figuur 3/15.5-13:** De invloed van de R/2 weerstanden op de omslagpunten van de schakeling.

## 15.5 ADC volgens flash-principe




**Figuur 3/15.5-14:** Het naar buiten brengen van knooppunten van de interne spanningsdeler maakt het mogelijk de nauwkeurigheid van de omzetting te vergroten.

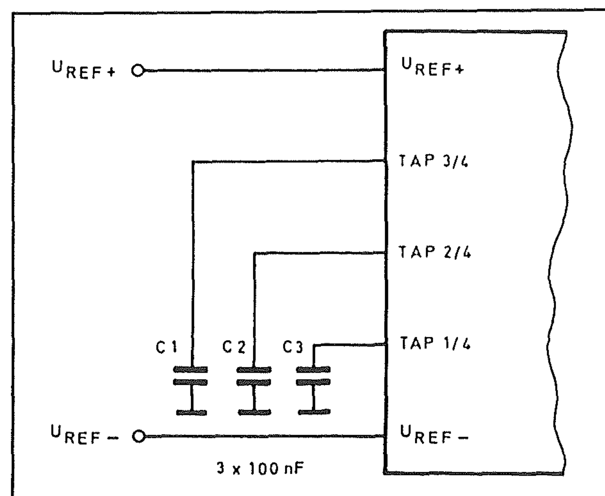
Door deze extra weerstanden wordt er een "offset" van 1/2 LSB in de schakeling geïntroduceerd, waardoor de eerste comparator zal omslaan als de ingangsspanning gelijk wordt aan de halve resolutiespanning.

De invloed van deze extra weerstanden blijkt uit de transferkarakteristiek van figuur 3/15.5-13, waar de analoge ingangsspanning wordt vergeleken met de "teruggewonnen" ingangsspanning, die zou ontstaan als men de uitgangen van de flash-omzetter via een digitaal naar analoog omzetter weer tot een analoog signaal zou omvormen.

Hoewel de weerstanden van de weerstandsdeler door de toegepaste technologie onderling zeer kleine toleranties ver tonen, heeft men bij de 6, 7 en 8 bit omzetters de mogelijkheid geschapen de nauwkeurigheid van de omzetting door externe maatregelen te vergroten.

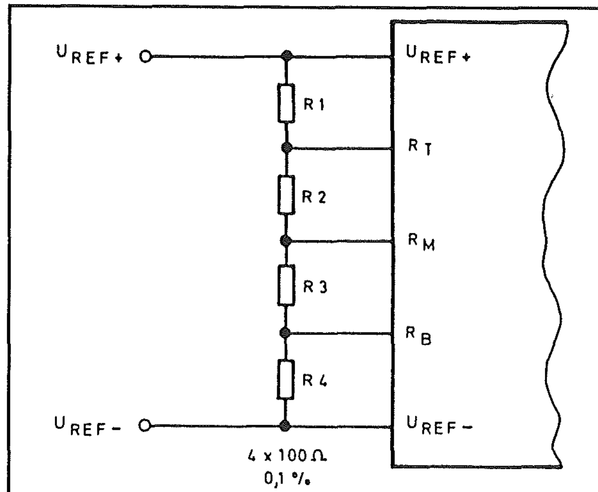
Zoals getekend in figuur 3/15.5-14 worden bij een aantal omzetters het knooppunt op de helft en soms ook de knopen op 1/4 en 3/4 van de totale keten naar buiten gebracht.

Deze aansluitingen worden ofwel "TAP" genoemd, ofwel $R_{T(op)}$, $R_{M(iddle)}$ en $R_{B(ottom)}$.
Volstaat de interne nauwkeurigheid, dan kan men volgens figuur 3/15.5-15 deze aftakpunten door middel van 100 nF condensatoren ontkoppelen naar de massa.
De meest eenvoudig te realiseren verbetering bestaat uit het aanbrengen van externe precisieweerstanden tussen de verschillende knopen, zoals getekend in figuur 3/15.5-16.




**Figuur 3/15.5-15:** Het ontkoppelen van de TAP's als men genoegen neemt met de eigen lineariteit van de interne spanningsdeler.

## 15.5 ADC volgens flash-principe




**Figuur 3/15.5-16:** Vergroten van de lineariteit door parallel schakelen van 0,1 % weerstanden aan de TAP's.

Deze schakeling heeft alleen zin als men gebruik maakt van 0,1 % weerstanden met een waarde van maximaal 100 Ω.

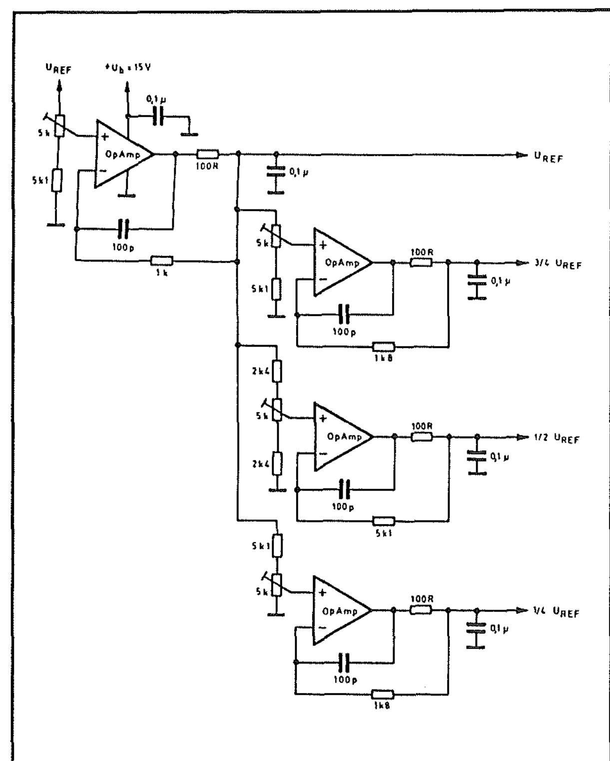
De meest nauwkeurige oplossing is getekend in figuur 3/15.5-17, waar de knooppunten van de deler door middel van drie externe referentiespanningen op de juiste knoopspanning worden ingesteld. De instelpotentiometers van 5 kΩ moeten uiteraard zeer stabiele tientoeren trimmers zijn.

### De analoge ingang

De impedantie van de analoge ingang is niet constant, maar zal gedurende de werking van de flash-omzetter schoksgewijs veranderen.
Dit geldt zeer zeker bij de auto-balance modellen, waar gedurende de sample-unknown fase de ingang opeens met 256 comparatoren wordt verbonden. De impedantiewijzigingen zijn dus hoofdzakelijk capacitief en dit heeft tot gevolg dat men de ingangsspanning via een laagohmige en breedbandige buffer op de ingang van de omzetter moet aansluiten.

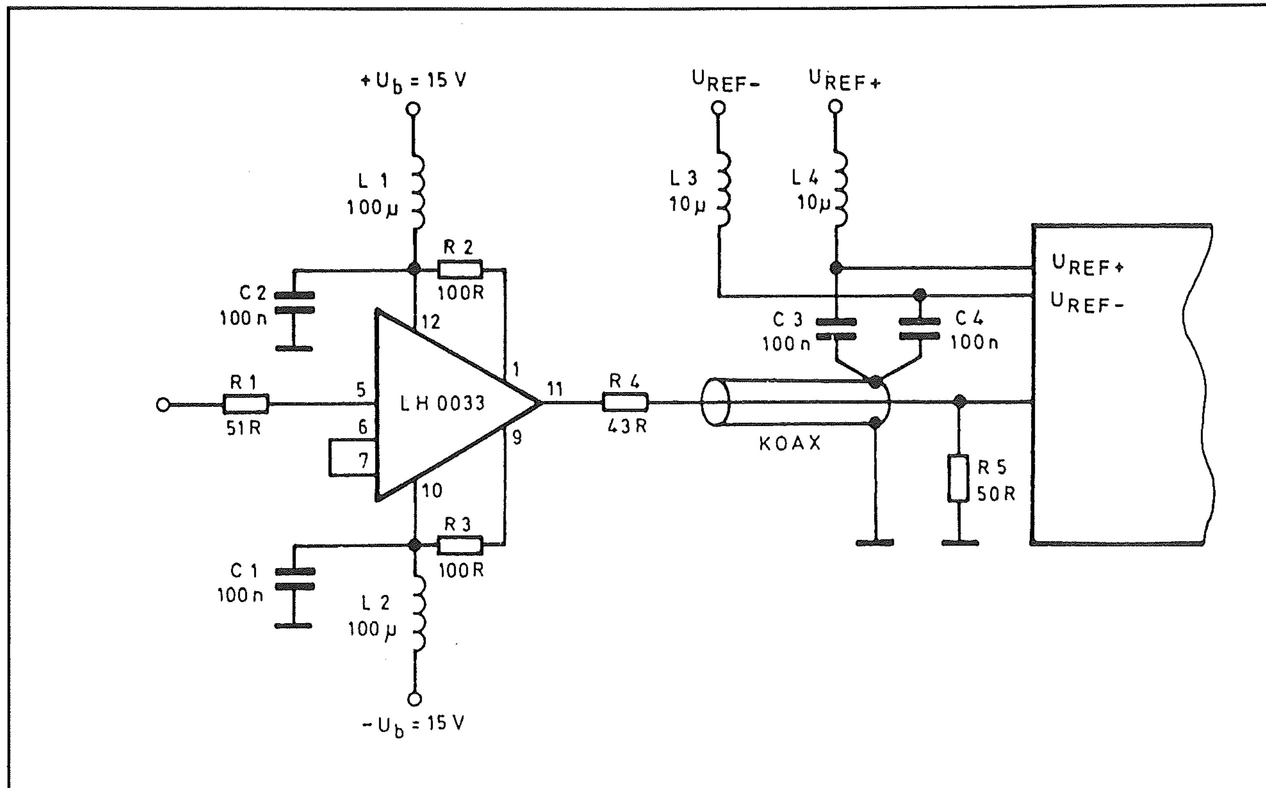
Opgemerkt dient te worden dat de plotselinge capacitieve belasting van de ingang geen invloed heeft op de nauwkeurigheid van de omzetting. Deze belasting wordt immers ingeschakeld bij de start van de sample-unknown fase, terwijl de uitgangen van de comparatoren maar eerst bij het einde van deze fase in de comparatorlatches worden ingelezen.

De plotse capacitieve belasting kan echter wel paracitaire oscillaties op het ingangssignaal doen ontstaan en vandaar dat het niet alleen noodzakelijk is een buffer met een maximale uitgangsimpedantie van 25 Ω toe te passen, maar het ook wordt aanbevolen de uitgang van deze buffer via een coaxiale kabel met de ingang van de omzetter te verbinden en niet via printsporen.




**Figuur 3/15.5-17:** Maximale nauwkeurigheid door het instellen van alle TAP's op een eigen referentiespanning.

## 15.5 ADC volgens flash-principe




**Figuur 3/15.5-18:** Praktische ingangsschakeling van een flash-omzetter met een zeer snelle bufferversterker LH0033 en een coaxverbinding.

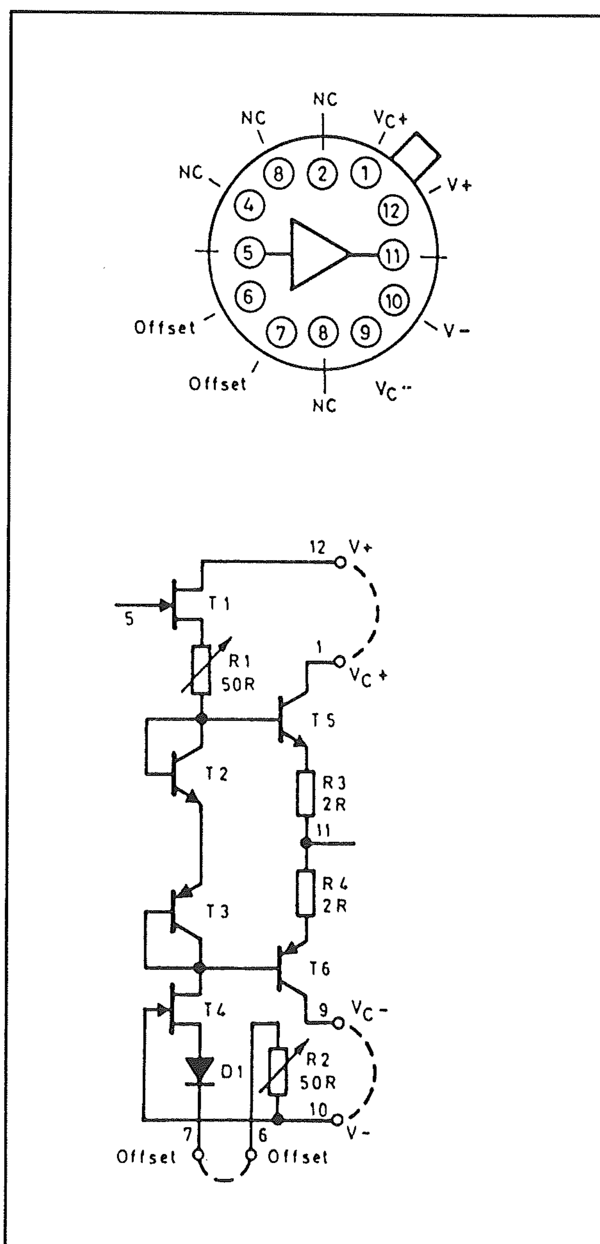
De meeste fabrikanten bevelen een buffer aan opgebouwd rond de LH0033.
Een bruikbaar schema is getekend in figuur 3/15.5-18, waarin eveneens is aangegeven hoe men de twee referentiespanningen aan het IC moet aansluiten.

De aansluitgegevens en het interne schema van de door National Semiconductor op de markt gebrachte LH0033 zijn getekend in figuur 3/15.5-19.

**De referentiespanning**
Zoals reeds gezegd zal men in de meeste gevallen een gebufferde referentie moeten toepassen, omdat de ingangsweerstand van de weerstandsdeler te laag is voor standaard referentiedioden.

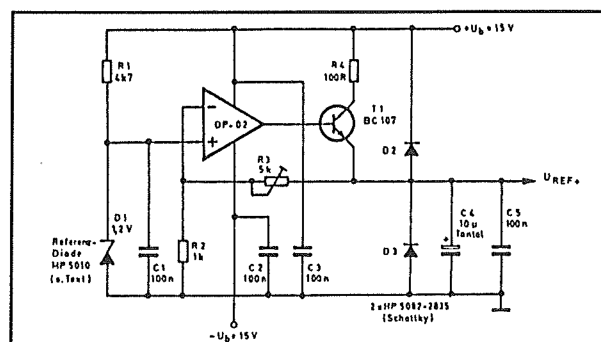
Een standaard schema van een gebufferde referentie is getekend in figuur 3/15.5-20.
Uitgegaan wordt van een bandgap referentiediode MP5010, te vervangen door LM113, ICL8069 of AD589. Deze heeft een zenerspanning van 1,2 V, een temperatuurscoëfficiënt van 5 ppm/°C en een impedantie van 0,6 Ω. Een extreem nauwkeurige operationele versterker OP-02 wordt afgesloten met een emittervolger T1.
De spanning op de emitter van deze trap wordt teruggekoppeld naar de inverterende ingang van de op-amp. Door middel van de meertoeren instelpotentiometer R3 kan men de uitgangsspanning instellen tussen 1,2 en ongeveer 6 V.

## 15.5 ADC volgens flash-principe




**Figuur 3/15.5-19:** Aansluitgegevens en intern schema van de LH0033.

Let op het groot aantal ontkoppelingscondensatoren in het schema, beslist noodzakelijk omdat iedere ruis of brom op de referentiespanning de nauwkeurigheid van de flash-omzetter degradeert!




**Figuur 3/15.5-20:** Praktische schakeling van een referentiespanning met als basis een MP5010 temperatuurgecompenseerde referentiediode.

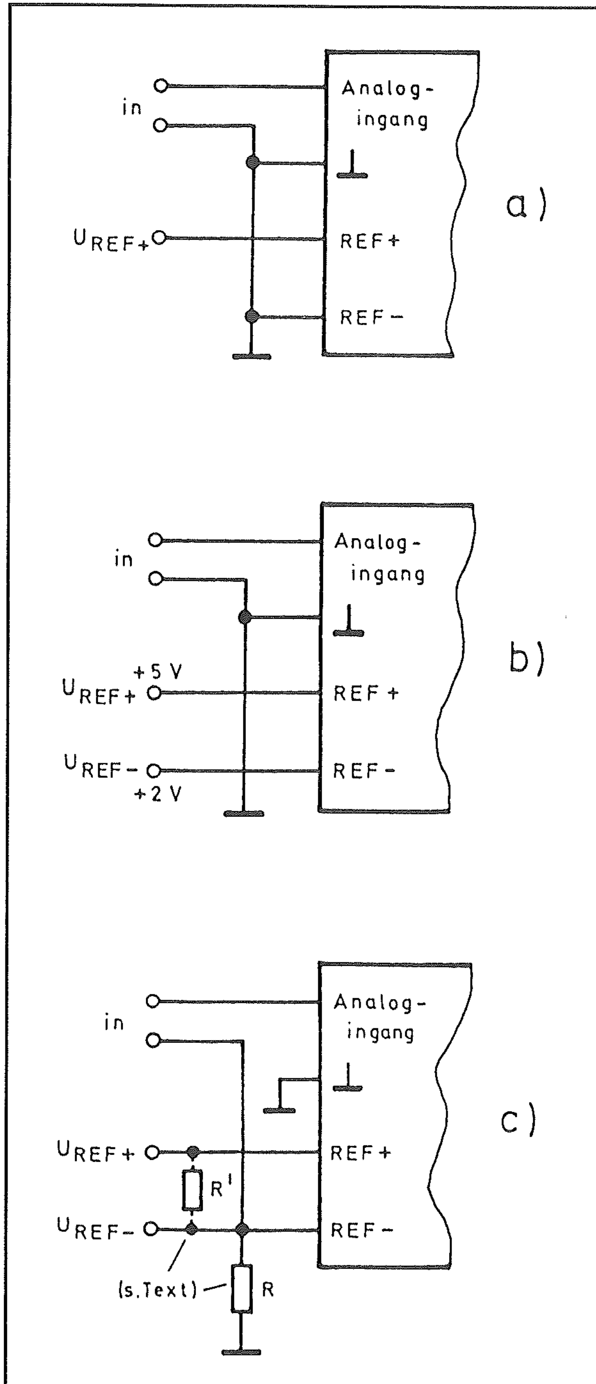
### Aansluiten van de weerstandsdeler

Alle flash-omzetters zijn uitgerust met een differentieel geschakelde weerstandsverzwakker. De onderste aansluiting ligt niet aan de massa maar wordt zonder directe resistieve verbinding met de massa naar buiten gevoerd.

Hoewel men meestal volgens het schema van figuur 3/15.5-21a de -REF met de analoge massa zal verbinden en de +REF met een positieve referentiespanning, kan men de -REF desgewenst op een ander spanningsniveau instellen.
In het schema van figuur 3/15.5-21b wordt bijvoorbeeld +REF op +5 V ingesteld en -REF op +2 V. Het omzettingsbereik van de omzetter bestrijkt dan 3 V en een ingangsspanning van +2 V genereert de uitgangscode "L-L-L-L-L-L-L-L". Op deze manier is het heel gemakkelijk mogelijk een bepaalde offset in het meetbereik aan te brengen.

Door de vlottende structuur van de weerstandsdeler kan men, via een omweg, een differentiële ingang nabootsen. In figuur 3/15.5-21c wordt de te digitaliseren ingangsspanning aangeboden tussen de ANA-IN en de -REF van het IC.

## 15.5 ADC volgens flash-principe




**Figuur 3/15.5-21:** Doordat de interne weerstandsdeler vrij is van de massa kan men zowel asymetrische als symetrische ingangsspanningen verwerken.

Er moet echter een resistieve verbinding blijven bestaan tussen de massa en -REF, vandaar de grote weerstand R.
Bij dit principe moet de referentiespanning vrij zijn van de massa, de uitgang van de referentiegenerator met uitgangsimpedantie R', moet dus tussen +REF en -REF worden aangesloten.
Het bereik van de omzetter wordt bepaald door het spanningsverschil tussen +REF en -REF.

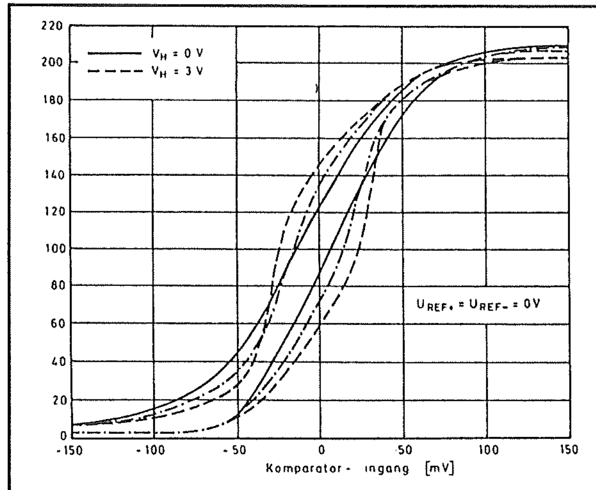
Noteer dat het minusteken van -REF niet duidt op een negatieve polariteit van deze spanning maar alleen wil zeggen dat deze aansluiting verbonden is met de onderkant van de weerstandsdeler en dus de laagste referentiespanning voert.

Er bestaan weliswaar omzetters waarbij men zowel positieve als negatieve spanningen op de referentie-ingangen kan aanleggen, maar in de meeste gevallen moeten beide referentie-ingangen positief zijn.

Hoewel men de gevoeligheid van de schakeling kan opvoeren door het spanningsverschil tussen +REF en -REF te verlagen gaat dat ten koste van de nauwkeurigheid. In de meeste gevallen wordt geadviseerd de $\Delta U$ van de deler (de spanning over een weerstand) niet kleiner te maken dan 10 mV. Hetgeen dus voor een 6 bit omzetter een maximale gevoeligheid voor volle schaal van 640 mV oplevert en voor 8 bit 2,56 V.
Wil men kleinere analoge spanningen digitaliseren, dan moet men deze eerst in een analoge schakeling voorversterken.

**Hysteresisingang**
Een aantal flash-omzetters is uitgerust met een hysteresisingang $V_{IHY}$ of $V_H$.

## 15.5 ADC volgens flash-principe




**Figuur 3/15.5-22:** De invloed van de hysteresisspanning op de transferkarakteristiek van een comparator.

Door het aanleggen van een gelijkspanning tussen de 0 en +3,0 V op deze ingang kan men de versterking en de uitgangsspanning van de comparatoren in geringe mate beïnvloeden.

De invloed van de hysteresisspanning op het gedrag van de comparatoren uit de AD9000 is getekend in figuur 3/15.5-22.

Helaas wordt over het praktische voordeel van de aanwezigheid van deze ingang zeer weinig informatie gegeven in de databoeken. Men volstaat met er op te wijzen dat in de meeste gevallen deze ingang open kan blijven (er staat dan ongeveer +1,3 V op deze ingang) en dat het bij sommige toepassingen mogelijk is de kwaliteit van de analoog naar digitaal omzetting iets te verbeteren door deze ingang aan de sluiten op de loper van een 2 kΩ potentiometer, aangesloten tussen de massa en een spanning van +3,5 V.

**De code-omzetting**
De $2^N$ uitgangen van de comparatoren moeten in N lijnen worden omgezet, die een standaard 1-2-4-8 binaire code voeren. Er worden drie systemen gebruikt:

- de uitgangen van de comparatoren zijn voorzien van open collector trappen, die worden gewired-OR en -NOR zodat er een Gray-code op N uitgangen ontstaat. Nadien wordt deze code in een standaard Gray naar binair omzetter verwerkt;
- de omzetting gebeurt in twee fasen, in de eerste fase worden de Q- en $\overline{Q}$-uitgangen van de comparatorlatches door AND-poorten omgevormd in een tussencode, nadien wordt deze tussencode met OR-poorten omgezet in binaire vorm;
- de code-omzetting gebeurt door middel van een ROM onder de vorm van een diodematrix, waar $2^N$ ingangslijnen worden gedecodeerd tot N uitgangslijnen.

**De uitgangsstructuur**
Bij alle flash-omzetters worden de resultaten van een omzetting in een register of latch bewaard. Soms zijn er twee registers aanwezig.
Het eerste is rechtstreeks verbonden met de uitgangen van de comparatoren. Het tweede ontvangt de gegevens van de codeomzetter.
De uitgangen van het register worden soms rechtstreeks aan de binaire uitgangen van het IC aangeboden, soms worden wired-OR uitgangstrappen gebruikt, meestal worden echter tri-state buffers tussengeschakeld.

Alle omzetters leveren, naast de N binaire uitgangen, ook nog een overbereikindicatie, OVERFLOW genoemd. Het verband tussen de code op deze uitgang en de code op de binaire uitgangen is niet gestandaardiseerd, maar afhankelijk van de ma-

**15.5 ADC volgens flash-principe**

nier waarop twee omzetters gecombineerd kunnen worden tot een systeem met een resolutie van N+1 bit. De verschillende systemen zullen nu in het kort besproken worden, samen met de manier waarop de specifieke uitgangsconfiguratie toelaat de resolutie met één bit te verhogen door het cascaderen van twee identieke IC's.

**Rechtstreekse uitgangen, "H" bij overflow**

De waarheidstabel van deze omzetters is getekend in figuur 3/15.5-23.

Bij het overschrijden van het maximale bereik wordt de OVERFLOW "H" en blijven de binaire uitgangen ook "H". Deze laatste eigenschap kan vervelend zijn bij praktische toepassingen, omdat de meeste binaire tellers hun uitgangen "L" sturen bij een overbereiksituatie.

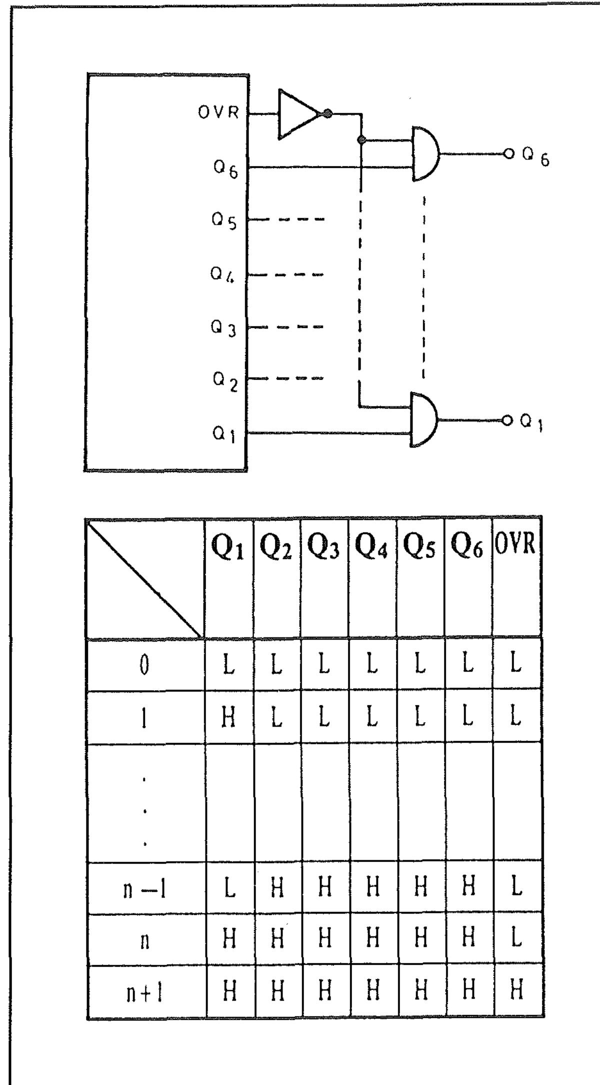
Het overbereikgedrag van de omzetter kan aan de algemeen geldende normen aangepast worden door de binaire ingangen aan te sluiten op AND-poorten en de tweede ingang van deze poorten te sturen uit het geïnverteerde OVERFLOW-signaal. Het is niet mogelijk op een eenvoudige manier de resolutie te verhogen door het in cascade schakelen van twee omzetters.

**Rechtstreekse uitgangen, "L" bij overflow**

De waarheidstabel van deze omzetters is gelijk aan deze getekend in figuur 3/15.5-23 met als enige verschil dat de binaire uitgangen bij OVERFLOW naar "L" gestuurd worden.

**Wired-OR uitgangen**

De waarheidstabel is getekend in figuur 3/15.5-24.



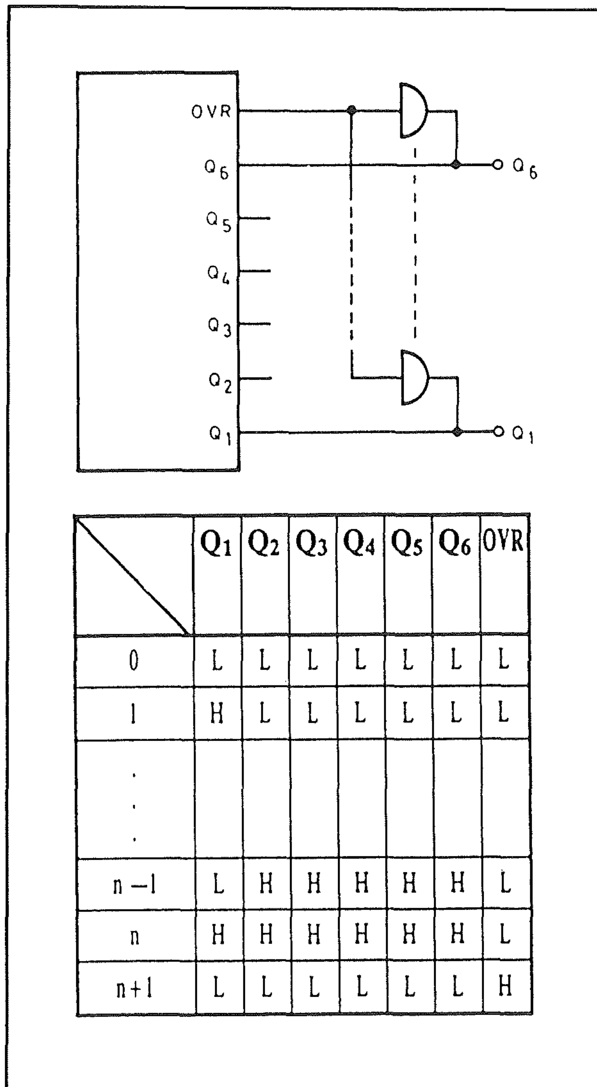

| | Q1 | Q2 | Q3 | Q4 | Q5 | Q6 | OVR |
|---|---|---|---|---|---|---|---|
| 0 | L | L | L | L | L | L | L |
| 1 | H | L | L | L | L | L | L |
| . . . | | | | | | | |
| n − 1 | L | H | H | H | H | H | L |
| n | H | H | H | H | H | H | L |
| n + 1 | H | H | H | H | H | H | H |

**Figuur 3/15.5-23:** Waarheidstabel van een omzetter met rechtstreekse uitgangen en de uitgangsschakeling die nodig is om de code bij overbereik desgewenst om te zetten.

Bij een overbereiksituatie wordt OVR "H" en gaan de binaire uitgangen gedwongen naar "L".

Dat "gedwongen" wil zeggen dat men zo'n uitgang parallel kan verbinden met een tweede uitgang (wired-OR) en de spanning op de gezamenlijke uitgang "H" wordt als een van de individuele uitgangen "H" wordt.

### 15.5 ADC volgens flash-principe




| | Q1 | Q2 | Q3 | Q4 | Q5 | Q6 | OVR |
|---|---|---|---|---|---|---|---|
| 0 | L | L | L | L | L | L | L |
| 1 | H | L | L | L | L | L | L |
| . . . | | | | | | | |
| n −1 | L | H | H | H | H | H | L |
| n | H | H | H | H | H | H | L |
| n+1 | L | L | L | L | L | L | H |

**Figuur 3/15.5-24:** Waarheidstabel van omzetters met wired-OR uitgang en de uitgangsschakeling die nodig is om de uitgangen bij overbereik naar "H" te sturen.

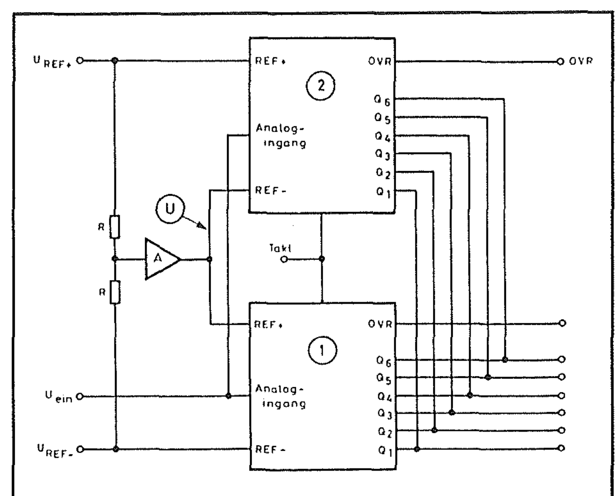
De "gedwongen" "L" is dus geen kortsluiting naar massa! Gebruikt men de omzetter in een toepassing waarbij de codes "alle uitgangen "L" en "alle uitgangen "H" worden gebruikt voor het decoderen van onderbereik en overbereik situaties, dan kan men de code aan deze toepassing aanpassen door volgens het schema van figuur 3/15.5-24 de OVR aan niet-inverterende buffers aan te bieden en de uitgangen van deze buffers parallel aan te sluiten op de binaire uitgangen van het IC. Bij N+1 worden de bufferuitgangen "H" en deze signalen sturen de wired-OR binaire uitgangen ook "H".

Flash-omzetters met wired-OR uitgangen kunnen gemakkelijk gecascadeerd worden, waardoor de resolutie van het systeem met een bit vergroot wordt.
Het schema is getekend in figuur 3/15.5-25.

De -REF van de bovenste omzetter ② wordt verbonden met de +REF van de onderste omzetter ① en beide ingangen worden ingesteld op een spanning van

$$U = (U_{REF+} - U_{REF-}) / 2$$

De analoge ingangen worden parallel geschakeld en verbonden met de om te zetten analoge spanning. Ook de binaire uitgangen worden parallel geschakeld.




**Figuur 3/15.5-25:** De uitgangen van omzetters met wired-OR structuur kan men gewoon parallel schakelen als men de systeemresolutie met een bit wil verhogen.

**15.5 ADC volgens flash-principe**

De OVR van de onderste omzetter wordt gepromoveerd tot hoogste bit van de totale zeven bit brede uitgangscode.

- Als de ingangsspanning kleiner is dan U zullen alle uitgangen van de bovenste omzetter "L" zijn. Door de wired-OR structuur van de uitgangstrappen lijkt het alsof de bovenste omzetter niet aanwezig is. De uitgangen nemen de code van de uitgangen van de onderste omzetter over.
- Als de ingangsspanning gelijk wordt aan of groter wordt dan U gaan de binaire uitgangen van de onderste omzetter gedwongen naar "L". De uitgangen van de bovenste omzetter worden nu actief en leveren de zes laagste bits van de code. Het zevende bit, de OVR van de onderste omzetter, is nu "H".
- Als de ingangsspanning groter wordt dan $U_{REF+}$ gaan alle binaire uitgangen naar "L" en worden beide OVR-uitgangen "H".

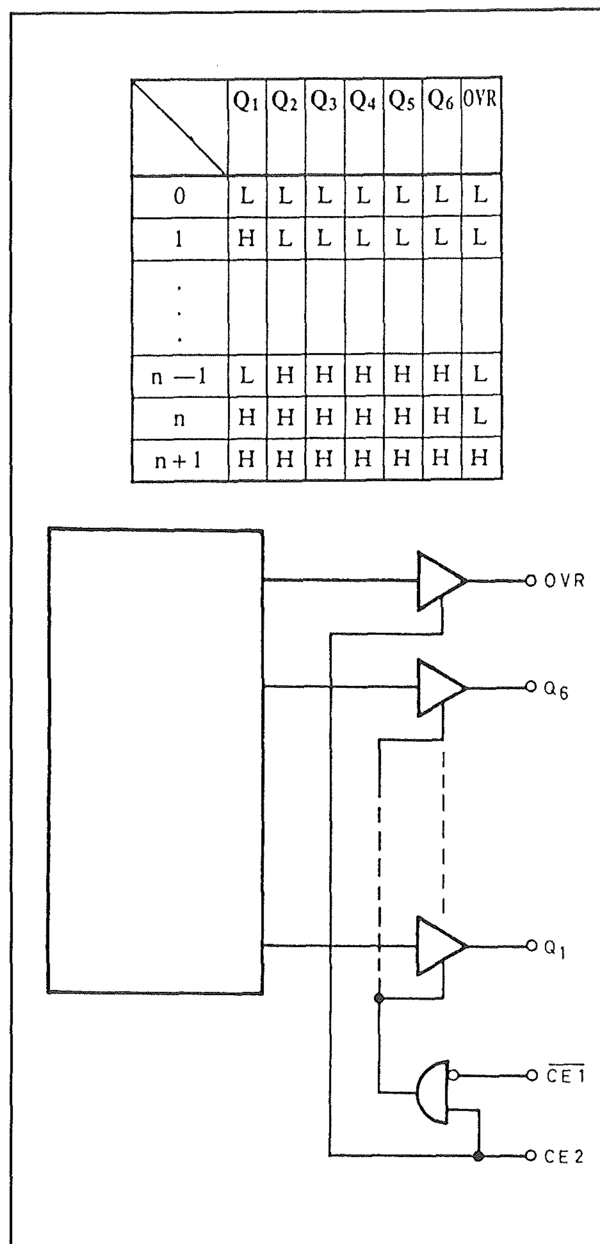
**Tri-state uitgangen**

De waarheidstabel van de flash-omzetters met tri-state uitgangen is getekend in figuur 3/15.5-26, waar ook de structuur van de uitgangstrappen is geschetst.

Iedere uitgang van de latches is aangesloten op een tri-state poort die wordt gestuurd uit twee CE-ingangen. Merk op dat de tri-state poort van de OVR individueel wordt gestuurd door de CE2 ingang en de tri-state buffers van de binaire uitgangen parallel worden aangestuurd uit de uitgang van het logische CE-netwerk.

De waarheidstabel van de tri-state besturing is gegeven in figuur 3/15.5-27.

Als CE1 "L" is en CE2 "H" zijn zowel de binaire als de OVR uitgangen actief. Een "H" op CE1 stuurt de binaire uitgangen naar tri-state. Deze uitgangen krijgen dan een zo goed als oneindig hoge impedantie en zijn dan, logisch gezien, niet meer aanwezig. Een "L" op CE2 stuurt zowel de binaire als de OVR uitgangen naar tri-state. Het niveau op $\overline{CE1}$ is dan niet meer van belang.



| | Q1 | Q2 | Q3 | Q4 | Q5 | Q6 | OVR |
|---|---|---|---|---|---|---|---|
| 0 | L | L | L | L | L | L | L |
| 1 | H | L | L | L | L | L | L |
| . . . | | | | | | | |
| n −1 | L | H | H | H | H | H | L |
| n | H | H | H | H | H | H | L |
| n+1 | H | H | H | H | H | H | H |



**Figuur 3/15.5-26:** Waarheidstabel en interne uitgangsschakeling van omzetters met tristate structuur.

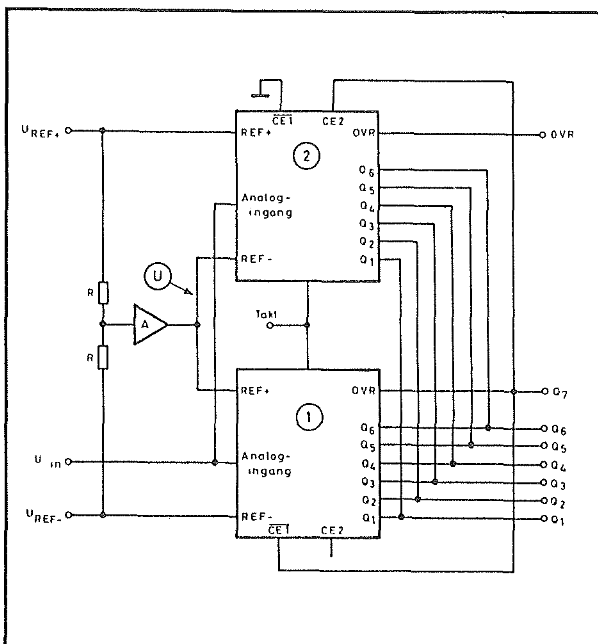
**15.5 ADC volgens flash-principe**

| $\overline{CE1}$ | CE2 | $Q_1 \ldots Q_n$ | OVR |
|---|---|---|---|
| L | H | | |
| H | H | TRI-STATE | |
| X | L | TRI-STATE | TRI-STATE |

**Figuur 3/15.5-27:** De waarheidstabel voor de besturing van de tri-state uitgangen.

Dank zij de tri-state besturing kan men deze schakelingen niet alleen rechtstreeks op de databus van een µP-systeem aansluiten, maar ook twee omzetters combineren tot een met N+1 bit resolutie.
Het schema is getekend in figuur 3/15.5-28.

De binaire uitgangen van beide IC's worden weer parallel geschakeld.




**Figuur 3/15.5-28:** Het verhogen van de systeemresolutie met een bit bij omzetters met tri-state uitgangen.

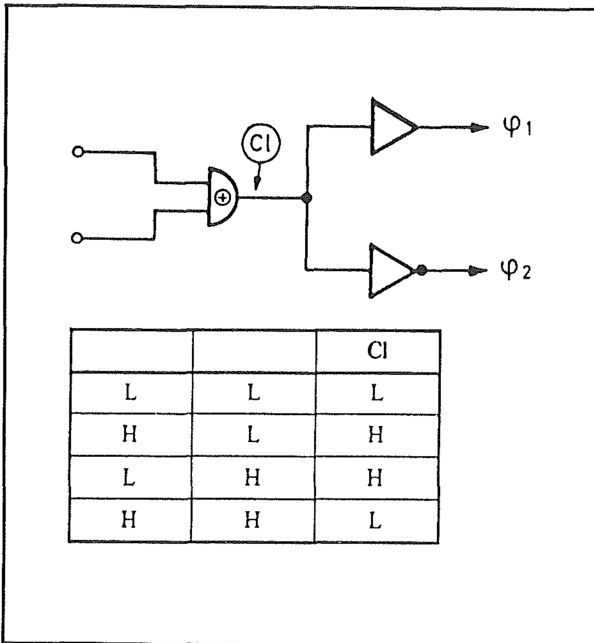
De OVR van de onderste omzetter stuurt $\overline{CE1}$ van zijn eigen IC en CE2 van de bovenste omzetter. Bij ingangsspanningen kleiner dan U is OVR-1 "L" en zijn bijgevolg de binaire uitgangen van de onderste omzetter actief en deze van de bovenste in tri-state.
Als de ingangsspanning groter wordt dan U wordt OVR-1 "H", $\overline{CE1}$ van de onderste omzetter schakelt de onderste binaire uitgangen naar tri-state, CE2 van de bovenste omzetter activeert de binaire uitgangen van de bovenste omzetter. Omdat CE2 van de onderste omzetter open is ("H"), is OVR-1 wel actief en dient als hoogste bit van de uitgangs-code.

**Verdubbelen van de omzettingssnelheid van auto-balance omzetters**

Zoals reeds in een van de vorige paragrafen opgemerkt zijn er een aantal auto-balance omzetters op de markt, die een stuuringang hebben waarmee men kan bepalen of de eigenlijke omzetting gebeurt op de positieve of negatieve flank van de externe clock.
Deze voorziening is uiteraard niet voor niets aangebracht, maar is een zeer nuttig accessoire waarmee men twee identieke schakelingen kan combineren tot een omzetter met verdubbelde samplingrate.

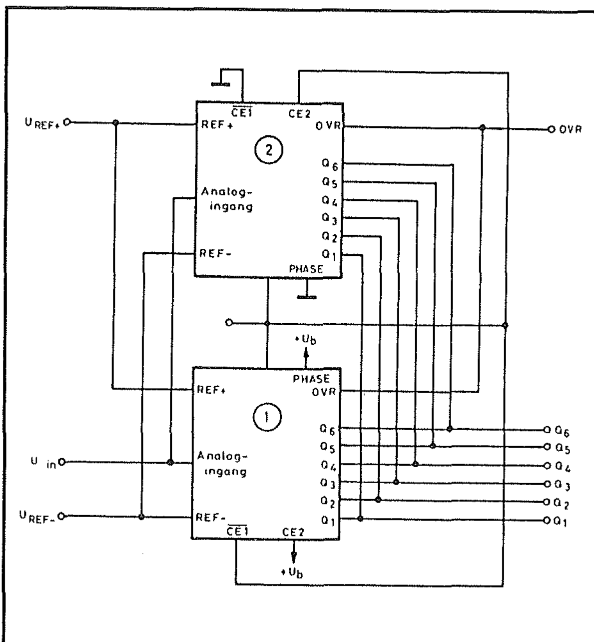
Als men even terug gaan naar de grafieken van figuur 3/15.5-11 stelt men vast dat de eigenlijke omzetting bij auto-balance omzetters slechts enige tientallen ns in beslag neemt en dat deze omzettingssyclus start na de positieve flank van het clocksignaal. Op dat moment wordt immers de ingangsspanning aan de condensatoren van de comparatoren aangeboden. De rest van de syclus wordt alleen gebruikt voor het balanceren van de comparatoren.

## 15.5 ADC volgens flash-principe




| | | CI |
|---|---|---|
| L | L | L |
| H | L | H |
| L | H | H |
| H | H | L |

**Figuur 3/15.5-29:** De invloed van de PHASE-ingang op de fase van de interne clock CI, waaruit de twee φ-signalen worden afgeleid.




**Figuur 3/15.5-30:** Het verdubbelen van de omzettingssnelheid bij omzetters die werken volgens het auto-balance principe.

Bovendien worden de spanningssprongen over de condensatoren omgezet in nuttige binaire uitgangsinformatie.

De in deze paragraaf besproken flash-omzetters hebben een zogenaamde "PHASE"-ingang, die volgens het schema van figuur 3/15.5-29 in een EXOR wordt geknoopt aan de CLOCK.
Als PHASE "L" is zal het signaal op de uitgang van de poort in fase zijn met de CLOCK. Is PHASE "H", dan is het CI-signaal in tegenfase met de externe clock. Uit het CI-signaal worden de twee φ-signalen afgeleid, die de auto-balance en sample-unknown sycli van de omzetter besturen. Door PHASE "L" of "H" te maken kan men dus bepalen of de sample-unknown plaats vindt bij de positieve of bij de negatieve flank van de externe CLOCK.

Men kan nu twee identieke schakelingen volledig parallel schakelen en bij de ene PHASE "L" en bij de andere PHASE "H" maken. Het gevolg is dat er nu bij iedere flank van de externe CLOCK een van de omzetters de ingangsspanning in zijn comparatoren zal inlezen. Door de tri-state uitgangsstructuur van de meeste omzetters kan men de CLOCK ook gebruiken om de uitgangen van de andere omzetter uit te schakelen.

Het basisschema van de schakeling met verdubbelde samplingrate is getekend in figuur 3/15.5-30.

De CLOCK is verbonden met $\overline{CE1}$ van de onderste en met CE2 van de bovenste omzetter. Als CLOCK "H" is zullen de uitgangen van de bovenste omzetter actief zijn en die van de onderste in tri-state staan. Als CLOCK "L" is draait deze situatie om.

**15.5 ADC volgens flash-principe**

# Technologie

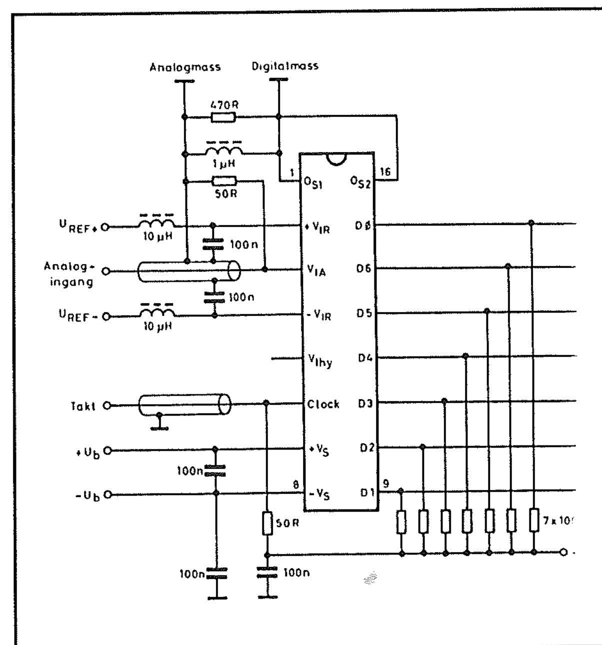
## Samplingrate

Flash-omzetters zijn op dit moment beschikbaar met maximale samplingrates tussen de 400 kHz en de 100 MHz. Dat betekent dat op de binaire uitgangen signalen met dezelfde maximale frequenties kunnen ontstaan. Signalen van 100 MHz zijn echter niet meer te verwerken door de standaard logische schakelingen van de 74- of 74LS-families, die immers tot maximaal 45 MHz gaan.

## ECL-technologie

Vandaar dat alle flash-omzetters met maximale samplingrate van meer dan 20 MHz zijn gefabriceerd voor het aansturen van logische schakelingen uit de ECL10K-familie, de emitter coupled logic technologie.
Deze reeks logische schakelingen kan signalen met een frequentie van 125 MHz verwerken, maar heeft enige ongewone eigenschappen.
Zo werken alle ECL-schakelingen met negatieve voedingsspanningen van -5,2 V en liggen de logische niveau's zeer dicht op elkaar. Een "L" komt overeen met een spanning tussen de -1,65 en -1,85 V, een "H" met een spanning tussen de -0,81 en -0,96 V.
Een volgende ongewone eigenschap van ECL is dat alle in- en uitgangen extern moeten worden afgesloten met weerstanden naar een hulpspanning van ongeveer -2 V.

Op ECL aangepaste flash-omzetters hebben twee voedingsspanningen, een positieve voor het voeden van de analoge schakelingen en een negatieve voor het voeden van de ECL in- en uitgangstrappen.




**Figuur 3/15.5-31:** Praktische schakeling rond een omzetter die digitaal is aangepast aan het samenwerken met ECL-schakelingen.

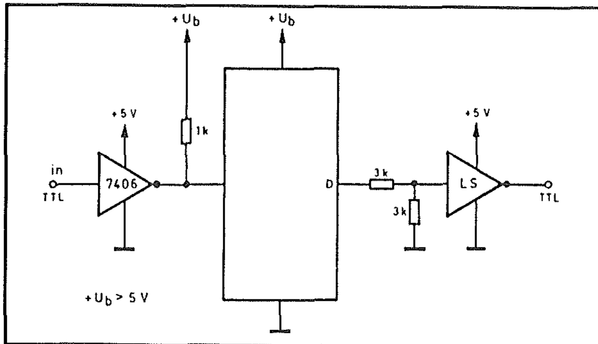
In de meeste gevallen zijn de massa's van het analoge en digitale systeem volledig gescheiden.

Figuur 3/15.5-31 geeft het praktische aansluitschema van zo'n omzetter.
Merk op dat ook de clockingang ECL-compatible is en het clocksignaal dus aan de ECL10K normen moet voldoen.

## +5 V technologie

Flash-omzetters met een maximale samplingrate van minder dan 20 MHz zijn in de meeste gevallen gefabriceerd volgens de CMOS-technologie en worden uit een positieve spanning van +5 V gevoed.
Deze schakelingen zijn zonder meer TTL-compatible, zodat men de clock ingang en de binaire en overflow uitgangen rechtstreeks kan aansluiten op schakelingen die zijn opgebouwd met standaard 74- of 74LS-schakelingen.

## 15.5 ADC volgens flash-principe




**Figuur 3/15.5-32:** Het aanpassen van in- en uitgangsniveaus bij een omzetter die met een voedingsspanning van meer dan +5 V werkt.

### CMOS-technologie

Er zijn een aantal CMOS omzetters op de markt, die gevoed kunnen worden uit een spanning van maximaal +10 V.

Deze kenmerken zich door een grotere lineariteit van de omzetting, vermoedelijk een gevolg van de grote voedingsmarge die de comparatoren ter beschikking staat.
Deze IC's hebben echter geen ingebouwde niveau-aanpassing naar standaard TTL, zodat deze extern aangebracht moet worden als men de schakeling met meer dan +5 V voedt.

Figuur 3/15.5-32 geeft twee interfaceschakelingen.
De linkse zet een TTL-signaal om in een clocksignaal met de amplitude van de voedingsspanning van de omzetter, de rechtse zet de binaire uitgangssignalen om in TTL-niveaus.

# 3/15.6

# Delta modulatie en U → f omzetting

## Delta modulatie

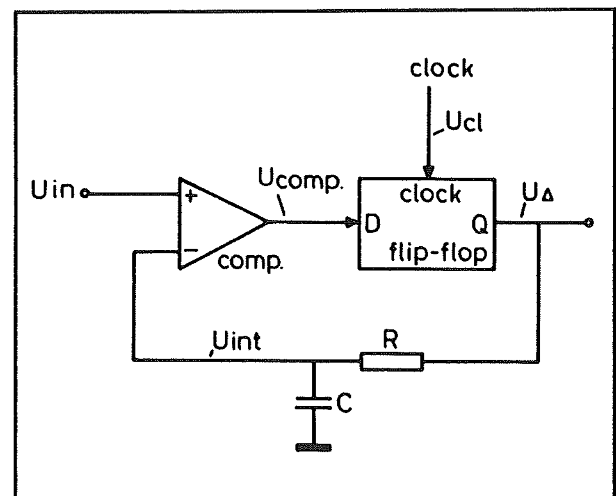
### Principe

De delta modulator is een serieel werkende analoog naar digitaal omzetter.
Een continu variërende analoge spanning wordt omgezet in een seriële pulstrein. De breedte van de pulsen is echter niet constant, maar afhankelijk van het verloop van de analoge spanning.
Als deze stijgt zal de delta modulator zijn uitgangsspanning van "L" naar "H" sturen.
Er ontstaat dus een stijgende flank als de ingangsspanning stijgt.
Als de ingangsspanning daalt zal de uitgang van de modulator van "H" naar "L" gaan.
Een dalende ingangsspanning veroorzaakt dus een dalende flank.
Als de ingangsspanning constant blijft zal het uitgangssignaal van de delta modulator zeer snel omschakelen van "L" naar "H" en vice versa. Er ontstaan dan zeer smalle symmetrische pulsen, in feite dus een gewone blokgolf.

Een van de principiële eigenschappen van de delta modulator is dat de schakeling kan werken zonder sample-and-hold. Men kan een snel variërende analoge spanning aan de ingang leggen en de uitgangsspanning van de modulator zal een pulstrein opwekken waarbij de verhouding tussen de "L"- en de "H"-pulsen de digitale vertaling is van het variërende verloop van de ingangsspanning.

**Fundamenteel blokschema van een delta modulator**

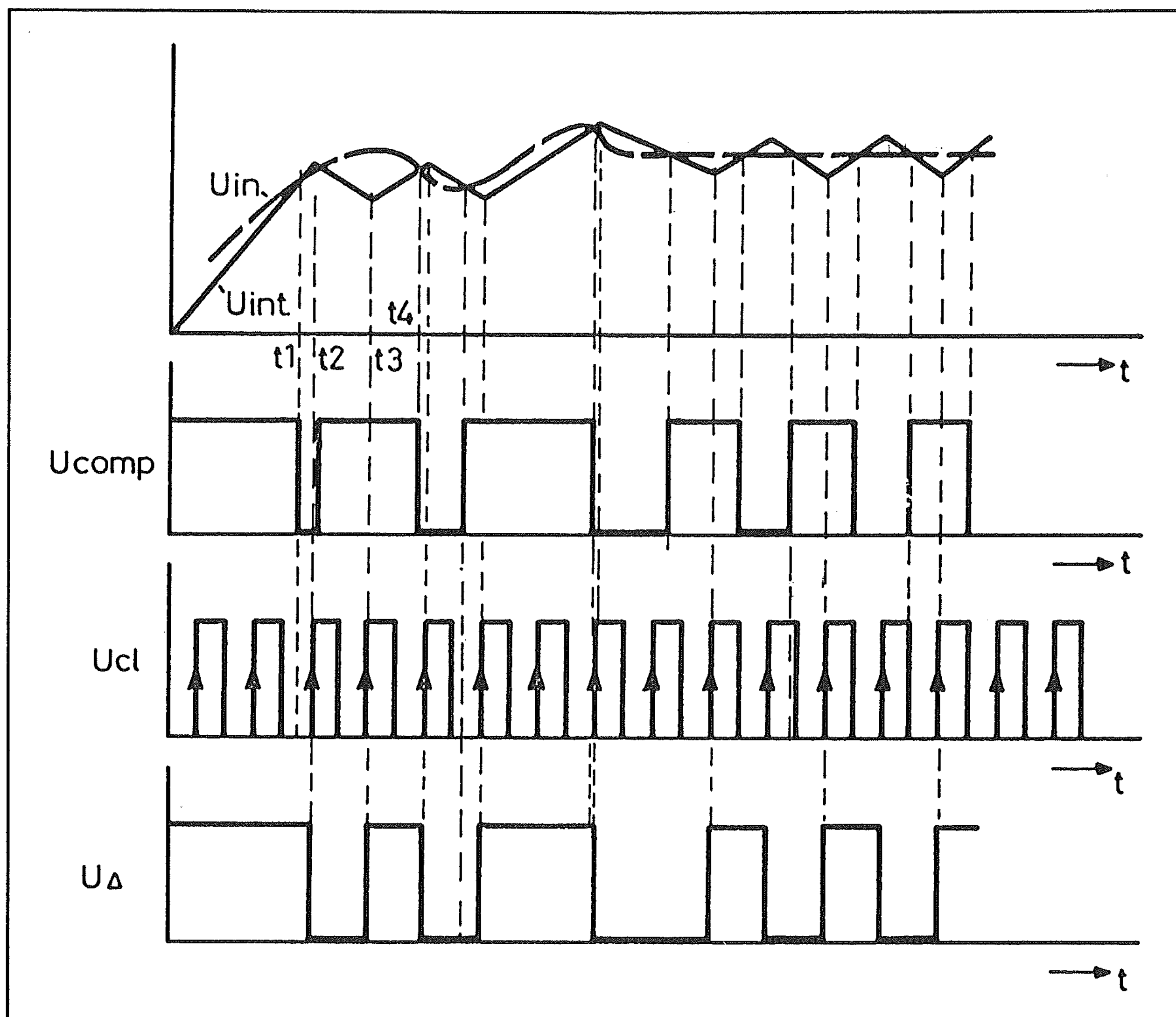
Het blokschema van een delta modulator is getekend in figuur 3/15.6-1.




**Figuur 3/15.6-1:** Blokschema van een delta modulator.

De analoge ingangsspanning wordt aangeboden aan de niet-inverterende ingang van een zeer snelle comparator COMP. De uitgang van deze schakeling stuurt een type-D flip-flop. De clock-ingang van deze schakeling wordt gestuurd met een externe puls die de snelheid van het systeem bepaalt.

### 15.6 Delta modulatie en U → f omzetting




**Figuur 3/15.6-2:** De werking van de delta modulator wordt aan de hand van deze grafieken toegelicht.

De Q-uitgang $U_{\Delta}$ van de flip-flop stuurt een integrator die is samengesteld uit de weerstand R en de condensator C. De uitgangsspanning van deze integrator $U_{int}$ stuurt de inverterende ingang van de comparator.

Er wordt dus een in zichzelf teruggekoppeld systeem gevormd, waarvan de werking wordt toegelicht aan de hand van de grafieken in figuur 3/15.6-2.

Maar allereerst moet iets gezegd worden over de werking van een type-D flip-flop. Bij iedere positieve flank op de clock-ingang kijkt de schakeling naar de logische waarde van het signaal op de D-ingang. De Q-uitgang zal op dat moment de logische waarde van D overnemen en deze waarde blijft in de flip-flop opgeslagen tot er op de D-ingang een tegengesteld logisch signaal wordt ontvangen. Bij de volgende clock-puls wordt deze waarde

**15.6 Delta modulatie en U → f omzetting**

in de flip-flop opgeslagen en wordt de Q-uitgang geïnverteerd.

Bij het inschakelen van de voedingsspanning is de spanning over de integrator-condensator uiteraard gelijk aan nul. De ingangsspanning heeft op dit moment een bepaalde positieve waarde. De spanning op de niet-inverterende ingang van de comparator is dus groter dan deze op de inverterende ingang. De uitgang van de comparator wordt "H". Deze logische waarde verschijnt op de D-ingang van de flip-flop en wordt bij de eerste stijgende flank van het clock-signaal in de flip-flop geclocked. De Q-uitgang van de schakeling, tevens de uitgang $U_\Delta$ van de delta modulator wordt bijgevolg "H".

Deze hoge spanning gaat de condensator C via de weerstand R opladen. De spanning op de inverterende ingang van de comparator gaat dus langzaam stijgen. Op tijdstip t1 wordt deze spanning gelijk aan de waarde van de ingangsspanning. De comparator klapt om, de uitgang wordt gelijk aan "L".
Op tijdstip t2, bij de volgende actieve flank van de clock, wordt deze nieuwe waarde van D in de flip-flop opgenomen. De uitgangsspanning van de schakeling gaat dus ook naar "L".

Het gevolg is nu dat de integratie-condensator via de weerstand gaat ontladen naar het massapotentiaal op de uitgang van de schakeling. De spanning op de inverterende ingang van de integrator daalt dus, met als gevolg dat deze schakeling dadelijk omklapt omdat de ingangsspanning nog steeds stijgende is en de spanning op de niet-inverterende ingang dus groter is dan de spanning op de inverterende ingang. D wordt dus weer "H".

Bij de volgende actieve flank van de clock (tijdstip t3) wordt deze waarde weer in de flip-flop ingelezen. De uitgangsspanning van de schakeling $U_\Delta$ wordt weer "H". De condensator gaat weer opladen, de spanning op de inverterende ingang van de comparator gaat stijgen.

Op deze manier zorgt de teruggekoppelde schakeling ervoor dat de spanning op de inverterende ingang van de comparator een zo goed mogelijke benadering wordt van de ingangsspanning.

Als de ingangsspanning constant blijft (rechter gedeelte van de grafieken) zal de flip-flop op het ritme van het clock-signaal steeds omklappen en zal de spanning op de inverterende ingang van de comparator driehoekvormig schommelen rond de constante waarde van de ingangsspanning.
Aan deze laatste eigenschap dankt de schakeling haar naam. De griekse letter Δ heeft een driehoekvorm!

**Eigenschappen van delta modulatoren**
Een van de voornaamste eigenschappen van delta modulatoren is dat de schakeling geen behoefte heeft aan een sample-and-hold. Bij de meeste analoog naar digitaal omzetters is het noodzakelijk dat de om te zetten ingangsspanning tijdens het omzettingsproces constant blijft. Men moet dan steeds een sample-and-hold inschakelen om de momentele waarde van de ingangsspanning even te "bevriezen". Hier is dat niet noodzakelijk hetgeen de schakeling zeer vereenvoudigt en speciale toepassingen binnen het bereik brengt.

Tweede belangrijke eigenschap van een delta modulator is dat de schakeling serieel werkt. De schakeling heeft slechts

één digitale uitgang en deze kan gemakkelijk verder verwerkt worden in digitale schakelingen zoals schuifregisters.

Het zal duidelijk zijn dat de nauwkeurigheid waarmee een delta modulator werkt in hoofdzaak afhankelijk is van de snelheid van de clock. Hoe sneller deze werkt, hoe sneller het systeem reageert op veranderingen in de momentele waarde van de ingangsspanning.

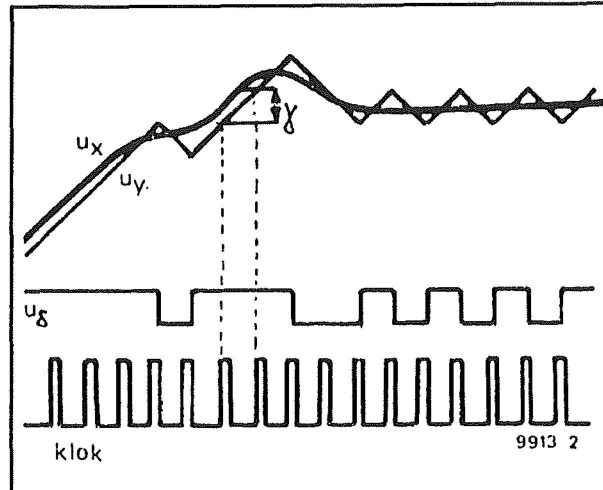
### Het demoduleren van een delta gemoduleerd signaal

Na verwerking moet het delta gemoduleerde signaal in de meeste gevallen weer omgezet worden in een analoge spanning. Uit het principe van de delta modulator volgt in feite reeds hoe dat kan. De integrator R-C zet de uitgangsspanning van de delta modulator om in een analoge spanning die de analoge ingangsspanning zo goed mogelijk benadert. Het volstaat dus de gemoduleerde spanning door een identieke integrator te sturen om de spanning na te bootsen die verschijnt op de inverterende ingang van de comparator in de modulator.

Het zal duidelijk zijn dat deze eenvoudige terugwinning van een delta gemoduleerd signaal niet in geringe mate bijdraagt aan de eenvoud van het systeem!

### De nauwkeurigheid van een delta modulator

De tot nu toe behandelde delta modulator wordt lineaire delta modulator genoemd. De mate waarin het geregenereerde analoge signaal vervormd is ten opzichte van het originele ingangssignaal wordt bepaald door de snelheid waarmee de integrator reageert. Men definieert deze eigenschap door de staphoogte γ.




**Figuur 3/15.6-3:** Grafische toelichting van de parameter "staphoogte" γ.

Deze parameter wordt toegelicht in figuur 3/15.6-3.

De staphoogte is de maximale spanning die het geregenereerde signaal gedurende één periode van de clock kan overbruggen. Als de ingangsspanning $U_x$ van de modulator plotseling sterk gaat stijgen, dan zal de uitgang van de flip-flop naar "H" gestuurd worden. De integrator gaat nu aan het werk, de integratorspanning $U_y$ zal gaan stijgen. De snelheid waarmee deze spanning kan stijgen is afhankelijk van de tijdconstante van de integrator. De waarde γ geeft aan hoeveel mV/clockperiode de integrator zijn uitgangsspanning kan laten dalen of stijgen. Deze waarde is, voor een gegeven schakeling, constant want immers alleen afhankelijk van de tijdconstante van de integrator.
Vandaar dat men de basisschakeling een lineaire delta modulator noemt.

Hoe groter γ, hoe sneller de integrator in staat is zijn uitgangsspanning aan te passen aan snel variërende ingangsspanningen. Maar anderzijds heeft een grote γ tot

gevolg dat, bij constante ingangsspanning, de integratorspanning behoorlijk rond deze constante waarde heen en weer gaat slingeren.

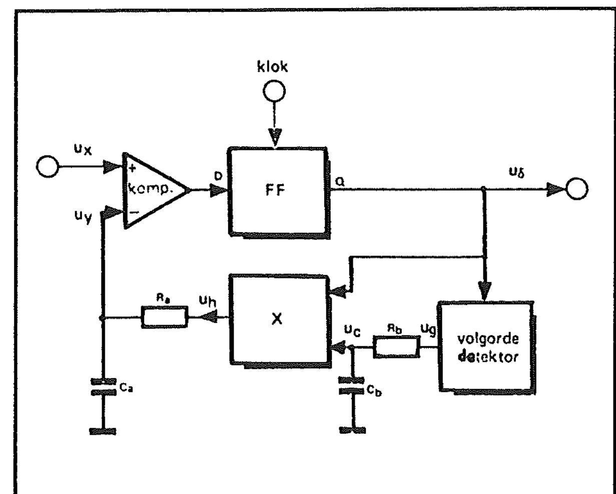
Er moet dus een compromis gevonden worden, maar zoals alle compromissen heeft ook dit compromis als nadeel dat in geen van beide situaties een bevredigende oplossing wordt gevonden.

**De adaptieve delta modulator**
Een oplossing voor het probleem zou zijn de waarde van γ afhankelijk te maken van de momentele snelheidsvariatie van het ingangssignaal. Als dit snel verandert, dan zou gewerkt moeten worden met een grote γ. Blijft het analoge ingangssignaal zo goed als constant, dan kan de waarde van γ gereduceerd worden.

Een delta modulator waarvan γ afhankelijk is van het snelheidsverloop van het ingangssignaal heeft een werking die vergelijkbaar is met deze van een automatische volumeregeling.
In de betere schakelingen wordt van dit principe gebruik gemaakt. Men noemt dergelijke delta modulatoren adaptief of zelfinstellend. In het engels wordt vaak gesproken over een "companded delta modulator".

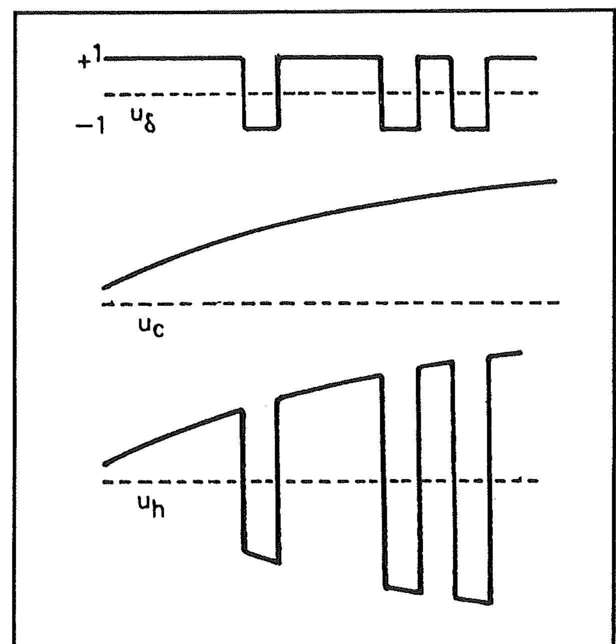
**Blokschema van een adaptieve delta modulator**
Het blokschema van een adaptieve delta modulator is getekend in figuur 3/15.6-4.

Men herkent de drie basisbestanddelen van de lineaire delta modulator: de comparator, de flip-flop en de integrator Ra-Ca. Daarnaast zijn er drie extra blokken noodzakelijk: een vermenigvuldiger X, een volgorde detector en een tweede integrator Rb-Cb die een veel grotere tijdconstante heeft dan de eerste.




**Figuur 3/15.6-4:** Het blokschema van een adaptieve delta modulator.

De werking van de schakeling is tamelijk ingewikkeld en wordt toegelicht aan de hand van de grafieken van figuur 3/15.6-5.




**Figuur 3/15.6-5:** De werking van de adaptieve delta modulator grafisch toegelicht.

**15.6 Delta modulatie en U → f omzetting**

De volgorde detector is een digitale schakeling. Deze bekijkt de onderlinge relatie tussen de uitgangspulsen van de modulator. Deze onderlinge relatie geeft immers informatie over de snelheid waarmee het analoge ingangssignaal varieert. Varieert dat niet erg snel, dan zal het uitgangssignaal van de delta modulator bestaan uit een groot aantal smalle pulsjes.
Stijgt de analoge ingangsspanning snel, dan zal de uitgangsspanning bestaan uit veel minder pulsen waarbij het "H"-aandeel veel groter is dan het "L"-aandeel. Dat kan men onmiddellijk afleiden bij een nadere bestudering van figuur 3/15.6-3.
Gaat het analoge ingangssignaal snel dalen, dan zal het uitgangssignaal van de delta modulator ook bestaan uit veel minder pulsen, maar nu zal het "L"-aandeel van de pulsen overheersen.

De volgorde detector wekt een brede positieve uitgangspuls op als hij constateert dat de ingangsspanning snel stijgt of snel daalt. Constateert hij daarentegen dat het analoge ingangssignaal traag varieert, dan wekt hij een logische "L" op.

Het uitgangssignaal $U_g$ van de volgorde detector is dus "H" als de analoge ingangsspanning snel varieert en "L" als dit signaal traag is. Dit signaal wordt geïntegreerd door middel van de integrator Rb-Cb. Zoals reeds gezegd heeft deze integrator een vrij grote tijdconstante. Het uitgangssignaal van deze integrator $U_c$ gaat dus stijgen als de ingangsspanning snel varieert en dalen als de ingangsspanning traag varieert.

Het signaal $U_c$ moet nu op de een of andere manier zijn invloed laten gelden op de hoofd-integrator Ra-Ca van de delta modulator. Dat doet men door dit signaal te vermenigvuldigen met het uitgangssignaal van de modulator. Wat er gebeurt valt onmiddellijk af te leiden uit de grafieken in figuur 3/15.6-5.
Het uitgangssignaal $U_h$ van de vermenigvuldiger is, zuiver logisch bekeken, gelijk aan het uitgangssignaal van de modulator. Het signaal $U_h$ volgt de logische status van het uitgangssignaal getrouw. Maar in plaats van constant om te schakelen tussen de vaste logische niveaus "L" en "H" zal $U_h$ omschakelen tussen twee grenzen die bepaald worden door het regelsignaal $U_c$.

Op deze ingewikkelde manier wordt de hoofd-integrator van de modulator gestuurd door de uitgangspulsen van de modulator zélf, net zoals dat het geval is bij de lineaire delta modulator, maar reageert de integrator ook op de snelheid waarmee de analoge ingangsspanning varieert.

Op deze manier wordt een veel getrouwere digitale representatie van het analoge ingangssignaal verkregen en zal de delta demodulator heel wat minder moeite hebben om de originele vorm van het analoge ingangssignaal te herwinnen.

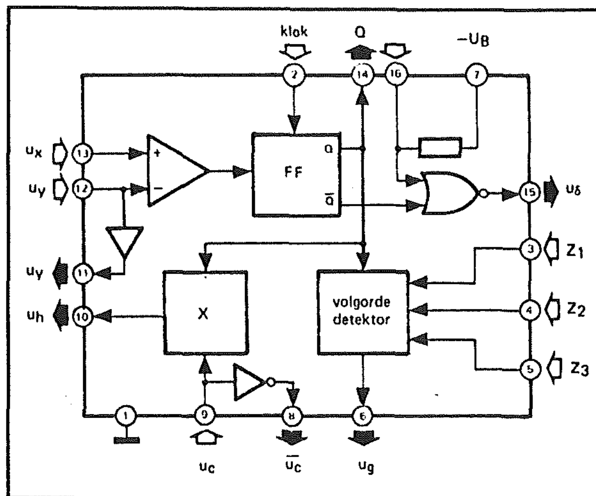
**Het demoduleren van het signaal van een adaptieve delta modulator**
Ook nu zal het duidelijk zijn dat men een identieke schakeling nodig heeft als gebruikt in de adaptieve modulator. De adaptieve delta demodulator bestaat dus uit een identieke volgorde detector, een hulp-integrator, een vermenigvuldiger en de hoofd-integrator.

**Een praktische schakeling**
Lineaire delta modulatoren en demodulatoren lenen zich nog wel voor zelfbouw.

**15.6 Delta modulatie en U → f omzetting**

Het zal echter logisch zijn dat de adaptieve systemen te ingewikkeld zijn om zelf te ontwerpen.
Hoe kan men bijvoorbeeld de volgorde detector zelf ontwerpen? Gelukkig hoeft dat niet, want er zijn geïntegreerde schakelingen in de handel die het volledige proces van adaptieve delta modulatie en demodulatie uitvoeren.

Als voorbeeld wordt de FX209 besproken, een 16-pens IC dat als modulator en als demodulator kan ingezet worden. Het blokschema van dit IC is getekend in figuur 3/15.6-6.




**Figuur 3/15.6-6:** Het interne blokschema van de FX209.

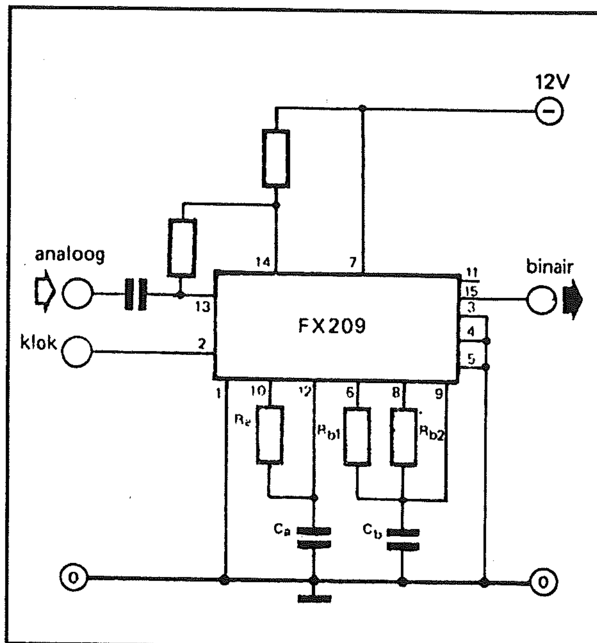
Men herkent zonder moeite de bestanddelen van het theoretische blokschema van figuur 3/15.6-4 terug.
Er zijn echter enige extra's:

- Pen 11:
  Het signaal $U_y$ wordt gebufferd uitgevoerd op deze pen.
  Op deze pen staat dus hetzelfde signaal als op pen 12, maar nu met een zeer lage impedantie.
- Pen 15
  Het uitgangssignaal van de modulator op pen 14 staat ook ter beschikking op pen 15. Alleen staat er een NOR-poort tussen. Als pen 16, de tweede ingang van de NOR, niet is aangesloten zijn de signalen op de pennen 14 en 15 identiek.
- Pen 8
  Op deze pen staat het geïnverteerde $U_c$-signaal ter beschikking.
- Pennen 3, 4 en 5
  Drie programmeerpennen waarmee men de werking van de volgorde detector kan instellen. Als deze drie ingangen aan de massa liggen zal de uitgang van de volgorde detector (pen 6) gedurende een clock-periode "H" blijven als Q gedurende drie clock-perioden onveranderd blijft.

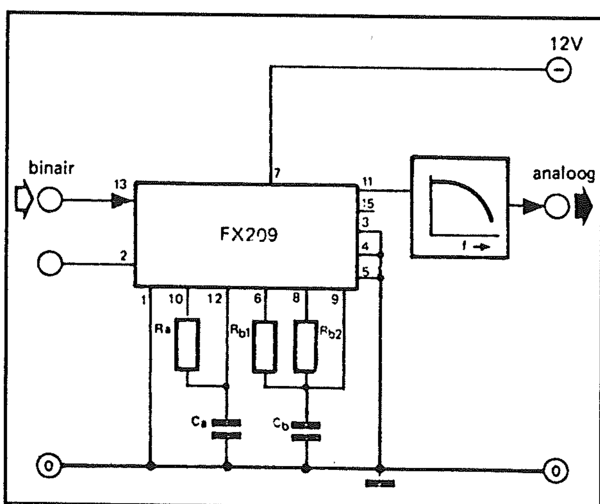
Het IC werkt met negatieve logica, dat wil zeggen dat een logische "L" overeen komt met een spanning van ongeveer 0 V en een logische "H" met een negatieve spanning.

**De FX209 als adaptieve delta modulator**
Het praktische schema van zo'n modulator is getekend in figuur 3/15.6-7.

De onderdelen Ra en Ca vormen de hoofd-integrator van het systeem. Tussen de pennen 6, 8 en 9 is de tragere integrator aangesloten die de adaptieve werking van het systeem verzorgt. Weerstand Rb1 bepaalt de aanspreektijd, terwijl weerstand Rb2 verantwoordelijk is voor de afvaltijd.
Beide weerstanden vormen samen met de condensator Cb twee tijdconstanten die te vergelijken zijn met de opkom- en afvalvertragingen van een automatische volumeregeling.




**Figuur 3/15.6-7:** De FX209 toegepast als adaptieve delta modulator.




**Figuur 3/15.6-8:** Het praktische schema van een adaptieve delta demodulator met de FF209.

Opmerkenswaard is de kleine rechtstreekse terugkoppeling van de uitgang (pen 14) naar de ingang (pen 13).
Deze terugkoppeling zorgt ervoor dat de modulator bij een constante ingangsspanning inderdaad het gewenste patroon "L-H-L-H-L-...." op het ritme van het clocksignaal aflevert.

**De FX209 als adaptieve delta demodulator**
In figuur 3/15.6-8 is het praktische schema getekend van een adaptieve delta demodulator rond de FX209.

Het digitale signaal wordt niet rechtstreeks aan de volgorde detector en vermenigvuldiger aangeboden, maar aan de niet-inverterende ingang van de comparator. Omdat het signaal op de inverterende ingang altijd kleiner is dan het signaal op de niet-inverterende ingang volgt de uitgang van de comparator steeds het ingangssignaal van de demodulator. De comparator wordt in feite gebruik als een soort buffer.

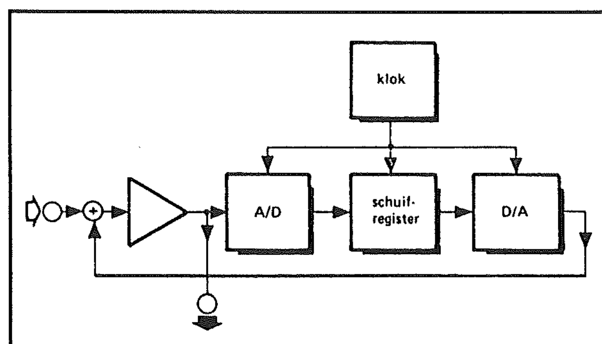
Het analoge uitgangssignaal wordt afgenomen van pen 11 en moet via een laagdoorlaatfilter bevrijd worden van de resten van het clock-signaal. Het voordeel van een delta demodulator is dat dit filter tamelijk vlak kan verlopen, zodat geen problemen ontstaan met looptijdvertragingen en de slechte respons op snelle pulsen.

**Toepassingen van delta modulatoren**
Delta modulatoren worden in de professionele elektronica voornamelijk gebruikt in moderne telecommunicatie-schakelingen. De seriële uitgang is immers ideaal om verwerkt te worden door enkeldraadsverbindingen zoals telefoonlijnen. Bij het digitaliseren van telefoonverkeer heeft men immers steeds te maken met de beperking dat het digitale signaal over slechts één verbinding verstuurd kan worden. Het gebruik van delta modulatie be-

spaart ingewikkelde parallel naar serieel omzetters die in de normale modems wel noodzakelijk zijn.

De hobby elektronicus zal met deze toepassing van delta modulatoren op dit moment niet geconfronteerd worden. Een interessante toepassing is echter het digitaliseren van audio-signalen. Vaak heeft men in de audio-techniek schakelingen nodig die een kunstmatige nagalm of echo genereren.
Vroeger werd hiervoor gebruik gemaakt van echoveren, die echter tamelijk slechte eigenschappen hebben en bovendien zeer groot zijn.
Tegenwoordig worden hiervoor voornamelijk digitale nagalmschakelingen toegepast.
Door het feit dat een delta systeem geen sample and hold nodig heeft en zijn digitale informatie op een lijn ter beschikking stelt is dergelijk systeem bij uitstek geschikt voor het samenstellen van digitale nagalm- en echo-schakelingen.

Het blokschema van zo'n schakeling is getekend in figuur 3/15.6-9.




**Figuur 3/15.6-9:** Het blokschema van een digitale nagalm- respectievelijk echoschakeling.

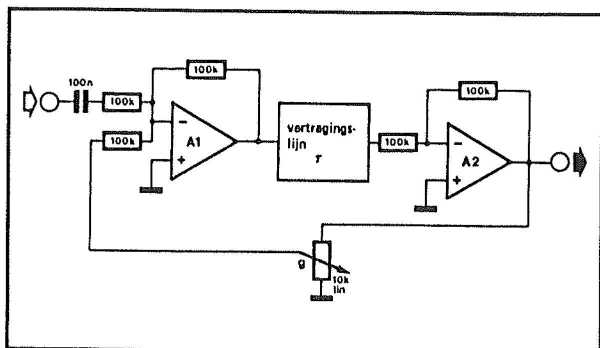
Het analoge ingangssignaal wordt aan één ingang van een menger aangeboden. De uitgang van deze menger gaat naar de adaptieve delta modulator. De seriële digitale gegevens die deze schakeling opwekt worden aangeboden aan de ingang van een schuifregister. Hierin worden de gegevens vertraagd. Als het register over n elementen beschikt, zal de totale vertragingstijd gelijk zijn aan n maal de periode van het clock-signaal.
De digitale gegevens die uit het schuifregister geclocked worden gaan naar de adaptieve delta demodulator. Hierin worden de digitale gegevens weer omgezet in een analoge spanning.
De analoge spanning die op de uitgang van de schakeling verschijnt is gelijk aan deze op de ingang. Er bestaat echter een tijdverschuiving, veroorzaakt doordat de digitale gegevens alle elementen van het schuifregister op het ritme van de clock moeten doorlopen.

Dat vertraagde analoge uitgangssignaal wordt aan de tweede ingang van de mengtrap aan de ingang aangeboden. Daar wordt het vertraagde signaal gemengd met het ingangssignaal, zodat het vertraagde signaal weer de vertragingslijn doorloopt. Op deze manier wordt het ingangssignaal meervoudig vertraagd.

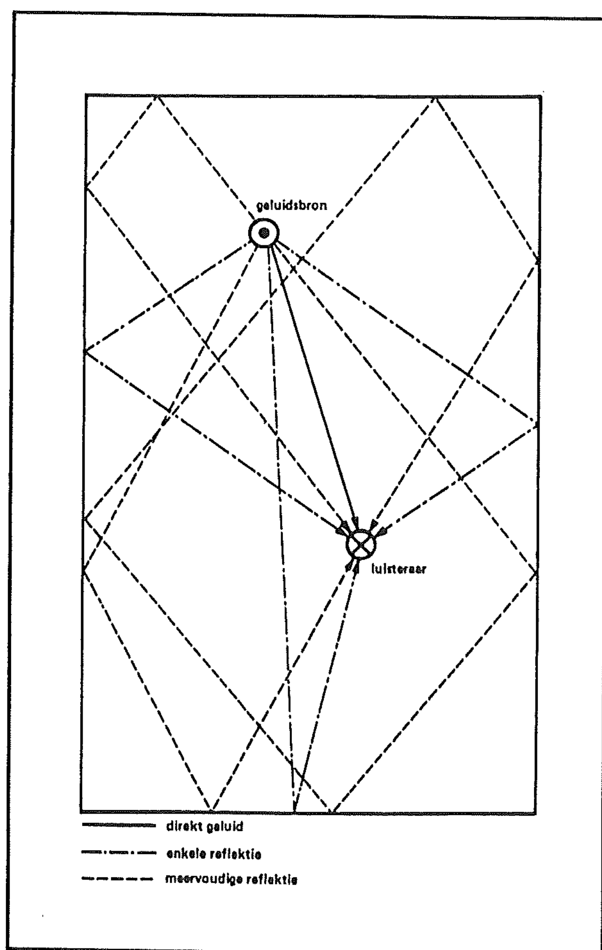
Een praktische schakeling voor dat meervoudig vertragen is getekend in figuur 3/15.6-10.

De mengtrap is uitgevoerd met de operationele versterker A1. Deze is geschakeld als sommeerversterker met virtueel nulpunt. De mate van meervoudige nagalm wordt ingesteld met de potentiometer g. Hoe meer men deze potentiometer open draait hoe meer van het vertraagde signaal naar de ingang wordt teruggekoppeld en weer vertraagd zal worden.

## 15.6 Delta modulatie en U → f omzetting




**Figuur 3/15.6-10:** Het blokschema van een meervoudige vertraging voor het opwekken van nagalm- en echo-effecten.




**Figuur 3/15.6-11:** Het ontstaan van meervoudige nagalm in een realistische luisteromgeving.

De praktische situatie die wordt ervaren als men live naar muziek luistert in een zaal is getekend in figuur 3/15.6-11.

Tussen de geluidsbron en de luisteraar zullen er in principe een oneindig aantal verschillende geluidsrichtingen bestaan. Naast het directe signaal, weergegeven als ononderbroken lijn, heeft men te maken met signalen die eenmalig door de wanden van de zaal worden teruggekaatst (punt-streep lijn). Maar daarnaast wordt het oor ook nog getroffen door signalen die diverse keren door verschillende wanden zijn gereflecteerd (stippellijn). Al deze signalen bereiken het oor van de luisteraar met eigen vertragingen en intensiteiten.
Het zal duidelijk zijn dat de gereflecteerde signalen niet alleen vertraagd worden, maar ook verzwakt.
Niet alleen worden zij verzwakt doordat de wanden van het auditorium een deel van de geluidsdruk absorberen, maar ook doordat zij een veel langere weg door de lucht afleggen.

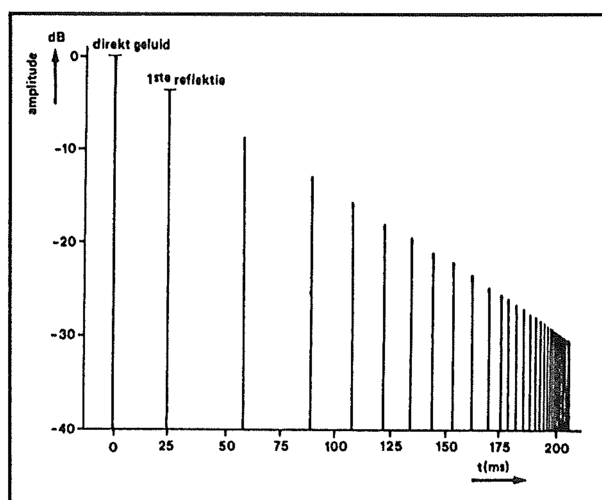
Als men een grafiek zou maken waarin wordt uitgezet hoe een eenmalige geluidspuls het oor van de luisteraar bereikt, dan zou een grafiek ontstaan zoals getekend in figuur 3/15.6-12.

Een dergelijke grafiek kan weliswaar niet helemaal worden nagebootst met een elektronische delta modulator nagalm, maar toch vrij redelijk.
Het enige verschil is dat bij een elektronische schakeling alle meervoudig vertraagde signalen even veel ten opzichte van elkaar vertraagd zijn (bepaald door de doorlooptijd van het schuifregister), terwijl in een realistische omgeving de verschillende vertraagde signalen ieder met

**15.6 Delta modulatie en U → f omzetting**

hun eigen specifieke vertraging het oor van de luisteraar bereiken.

In ieder geval biedt de adaptieve delta modulator/demodulator met schuifregister de beste benadering als men een elektronische nagalm wil realiseren.




**Figuur 3/15.6-12:** De reflectiegrafiek van een auditorium.

# U → f omzetting

**Principe**
De spanning naar frequentie omzetter is een analoog naar digitaal omzetter die de grootte van de analoge ingangsspanning omzet in een blokspanning met een bepaalde frequentie. Er bestaat een bepaald eenvoudig wiskundig verband tussen de grootte van de analoge ingangsspanning U en de frequentie $f_{uit}$ van het uitgangssignaal:

$$f_{uit} = k \cdot U$$

Hierbij is k de omzettingsfactor, een constante grootheid die wordt uitgedrukt in kHz/V. Een omzetter met een k van 1 zal dus een ingangsspanning van 1 V omzetten in een signaal met een frequentie van 1 kHz en een ingangsspanning van 0,1 V omzetten in een signaal met een frequentie van 100 Hz.
Het verband tussen de analoge ingangsspanning en de uitgangsfrequentie is dus lineair.

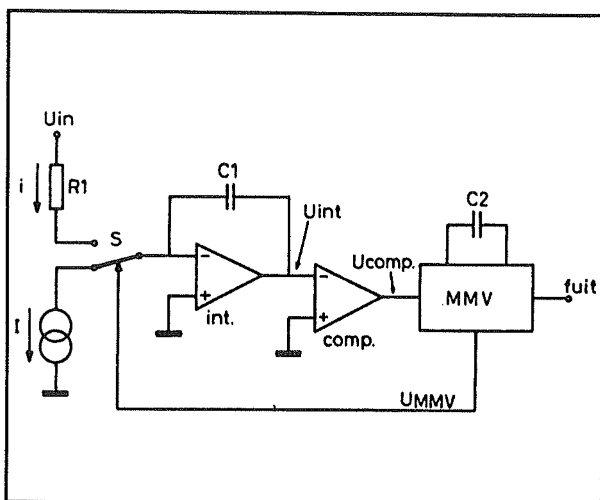
Uit het werkingsprincipe kan men twee belangrijke eigenschappen van de spanning naar frequentie omzetter afleiden.

Op de eerste plaats werkt de schakeling serieel. Er is slechts één digitale uitgang beschikbaar waarop alle gegevens van de ingangsspanning onder digitale vorm terug te vinden zijn.

Op de tweede plaats zal het duidelijk zijn dat een spanning naar frequentie omzetter voornamelijk bruikbaar is voor het digitaliseren van zeer traag variërende analoge spanningen.
Dergelijke omzetters worden bijvoorbeeld in de industrie gebruikt om kleine gelijkspanningen, afkomstig van fysisch/elektronische omzetters zoals druksensoren, over grote afstanden te versturen.
Het digitale uitgangssignaal is immers veel minder storingsgevoelig dan de kleine analoge spanning van de omzetter en kan zonder gebruik te moeten maken van dure afgeschermde kabels over grote afstanden verstuurd worden. Ook kan het digitale signaal tamelijk eenvoudig koperloos verstuurd worden, bijvoorbeeld via glasvezelkabels of infrarode straalverbindingen door de lucht.
Voornamelijk deze tweede toepassing kan in de industrie een heleboel geld besparen.

15.6 Delta modulatie en U → f omzetting

**Fundamenteel blokschema van een spanning naar frequentie omzetter**
Het werkingsprincipe van een spanning naar frequentie omzetter is getekend in figuur 3/15.6-13.

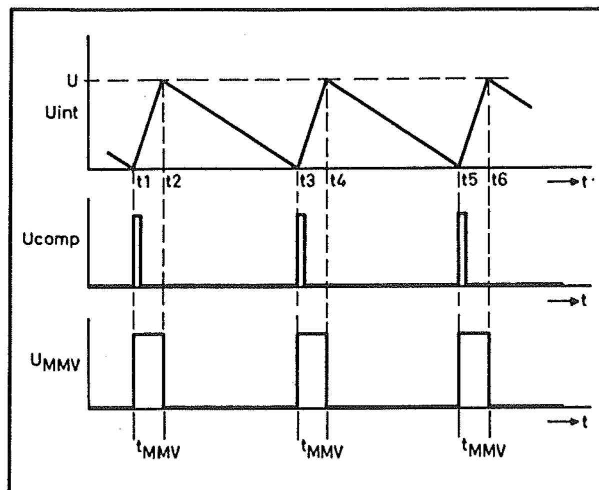



Figuur 3/15.6-13: Het blokschema van een spanning naar frequentie omzetter.

De schakeling is samengesteld uit een integrator int, een comparator comp, een monostabiele multivibrator MMV, een constante stroombron I en een elektronische omschakelaar S.
De monostabiele multivibrator levert een puls af met een door C2 bepaalde breedte op het moment dat hij gestuurd wordt door het uitgangssignaal van de comparator.

De werking van de schakeling wordt toegelicht aan de hand van de grafieken in figuur 3/15.6-14.

In het kort komt de werking op het volgende neer. Gedurende de "H"-tijd van de uitgangspuls van de monostabiele multivibrator staat de schakelaar in de onderste stand.




Figuur 3/15.6-14: De grafische verklaring van de werking van de spanning naar frequentie omzetter.

De stroombron I trekt een constante stroom uit de integrator, waardoor de uitgangsspanning van dit onderdeel lineair gaat stijgen.
Dil lijkt misschien vreemd, maar is een logisch gevolg van de geïnverteerde werking van de integrator. Een negatieve stroom aan de ingang zorgt ervoor dat de uitgangsspanning stijgt. Nadien klapt de schakelaar S om en wordt de integrator gestuurd met een stroom i die afkomstig is van de analoge ingangsspanning en waarvan de waarde bepaald wordt door de grootte van deze spanning en door de waarde van de serieweerstand R1. Deze stroom i heeft de tegengestelde richting van de stroom I.
Het gevolg is dat de uitgangsspanning van de integrator gaat dalen. Op het moment dat deze spanning gelijk wordt aan nul volt zal de comparator reageren. De niet-inverterende ingang van deze schakeling ligt immers aan de massa. De uitgang van de comparator levert een puls aan de monostabiele multivibrator. Deze schakeling levert weer een puls die de schakelaar S

**15.6 Delta modulatie en U → f omzetting**

doet omschakelen en een tweede cyclus kan beginnen.
De werking in detail.
Voor moment t1 zorgt de stroom i ervoor dat de uitgangsspanning van de integrator gaat dalen. Op moment t1 gaat deze spanning door nul volt. De comparator slaat om en levert een puls aan de monostabiele multivibrator. Deze schakeling wekt een smalle puls op met een constante breedte $t_{MMV}$.
Deze puls schakelt de elektronische omschakelaar S naar de onderste stand. De stroom i van de constante stroombron gaat nu de integrator-condensator C1 opladen.
Het gevolg is dat de uitgangsspanning van de integrator stijgt. Omdat de tijdsduur van de MMV-puls en de stroom I constant zijn zal de eindwaarde van deze spanning voor alle cycli constant zijn en dus gelijk aan de waarde U.
Op tijdstip t2 valt de MMV-puls weg. De schakelaar schakelt om en de condensator C1 van de integrator wordt nu ontladen door de stroom i. De snelheid waarmee de uitgangsspanning van de integrator daalt is uiteraard afhankelijk van de grootte van de stroom i.
Deze grootte wordt in eerste instantie bepaald door de waarde van de weerstand R1. Deze is echter constant, dus deze weerstand zorgt alleen voor een constante factor. In tweede instantie is de grootte van de stroom i afhankelijk van de grootte van de ingangsspanning. Hoe groter deze spanning, hoe groter de stroom en hoe sneller de uitgangsspanning van de integrator zal dalen.

Op moment t3 wordt de integratorspanning gelijk aan nul volt. Het gevolg is dat de comparator een smalle positieve puls levert. Op dat moment wordt de spanning op de inverterende ingang immers kleiner dan de spanning op de niet-inverterende ingang die gelijk is aan nul volt. De smalle puls op de uitgang van de comparator triggert de monostabiele multivibrator, die weer een puls met constante breedte aflevert. De volgende cyclus kan beginnen.

De analoge ingangsspanning wordt dus omgezet in een pulstrein, die beschikbaar staat op de uitgang van de monostabiele multivibrator. Het zal duidelijk zijn dat de herhalingstijd van deze pulsen, dus de frequentie, recht evenredig is met de grootte van de analoge ingangsspanning. De tijd die verloopt tussen de momenten t2 en t3 wordt immers alleen bepaald door de constante waarde van de weerstand R1 en de grootte van de ingangsspanning. Hoe groter de spanning, hoe sneller de integrator-condensator ontlaadt en hoe dichter de tijdstippen t2 en t3 bij elkaar komen te liggen.

Op deze manier is dus een recht evenredige relatie gelegd tussen de grootte van de analoge ingangsspanning en de herhalingsfrequentie van de pulsen op de uitgang van de monostabiele multivibrator.

In figuur 3/15.6-15 is geschetst wat er gebeurt als op de ingang van de schakeling een gelijkspanning wordt aangesloten die langzaam van waarde varieert. Dat zou bijvoorbeeld het uitgangssignaal van een temperatuur- of druksensor kunnen zijn.
Als de spanning stijgt, dan zullen de uitgangspulsen van de spanning naar frequentie omzetter dichter bij elkaar komen te liggen.
De pulsbreedte blijft echter constant, omdat deze alleen wordt bepaald door de

instelling van de monostabiele multivibrator.
Als de spanning nadien weer daalt zullen de pulsen verder uit elkaar komen te liggen.

Vandaar dat een U/f omvormer ook wel eens spanning naar tijd omzetter wordt genoemd.
Het is immers het tijdverschil tussen twee opeenvolgende pulsen dat een maat is voor de grootte van de gemeten ingangsspanning.

**Eigenschappen van spanning naar frequentie omzetters**

Er worden tal van geïntegreerde spanning naar frequentie omzetters aangeboden van bekende merken zoals Analog Devices en Micro Power Systems.
Deze schakelingen hebben drie belangrijke specificaties:
- de omzettingsfactor;
- het omzettingsbereik;
- de nauwkeurigheid.

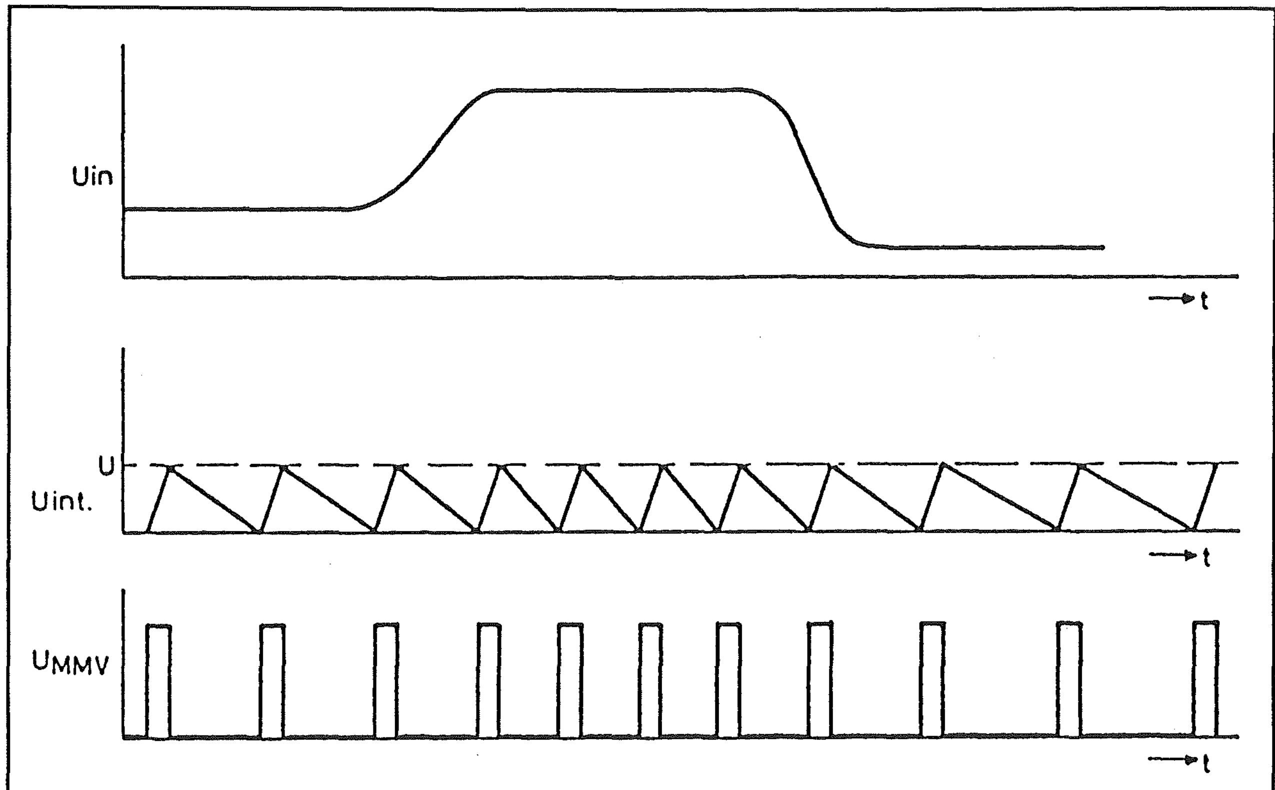
- De omzettingsfactor
  In de meeste gevallen kan men deze zélf bij het ontwerpen van de schakeling instellen. Toch geven alle fabrikanten een aanbevolen omzettingsfactor op. In de meeste gevallen is deze gelijk aan 1 kHz per volt.
  Voor zeer nauwkeurige schakelingen kan men werken met 10 kHz/V.
- Het omzettingsbereik
  Dit geeft aan tussen welke grenzen de ingangsspanning mag variëren. Dit bereik is van een aantal factoren afhankelijk.

  Op de eerste plaats bepaalt de serieweerstand in de ingangskring van de integrator de stroom die uit de ingangsspanning onttrokken wordt. Deze stroom mag natuurlijk een bepaalde waarde niet overschrijden.

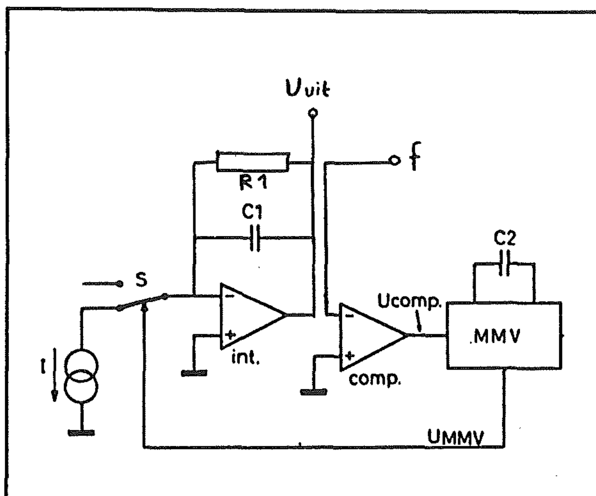
  Op de tweede plaats is het spanningsbereik afhankelijk van de nauwkeurigheid die men aan het systeem stelt. Vandaar dat de meeste fabrikanten een link leggen tussen het bereik en de nauwkeurigheid. Men zegt bijvoorbeeld dat een omzetter een bereik van zes decaden heeft bij een nauwkeurigheid van 0,1%.

  Op de derde plaats is het bereik afhankelijk van de instelling van de monostabiele multivibrator. Hoe hoger de ingangsspanning, hoe sneller de pulsen op elkaar volgen. De breedte van de pulsen wordt dan de beperkende factor.
  Men zou natuurlijk de pulsbreedte van de uitgangspulsen kunnen verlagen, maar op een bepaald moment ontstaan dan problemen bij het terugwinnen van de analoge spanning uit de pulstrein.
- De nauwkeurigheid
  De nauwkeurigheid geeft aan in hoeverre een praktische schakeling afwijkt van de theoretische omzettingscoëfficiënt.
  Bij een omzetter met een omzetting van 1 kHz/V zou een ingangsspanning van 1 V een uitgangsfrequentie van exact 1 kHz moeten genereren en een ingangsspanning van 0,1 V een frequentie van 100 Hz. In de praktijk zal dat uiteraard niet het geval zijn, maar zullen er bepaalde afwijkingen optreden.
  Deze worden uitgedrukt in %, waarbij nauwkeurigheden van +/-0,01% zonder meer haalbaar zijn!

**15.6 Delta modulatie en U → f omzetting**




**Figuur 3/15.6-15:** De reactie van een spanning naar frequentie omzetter op een langzaam variërende ingangsspanning.




**Figuur 3/15.6-16:** De principiële schakeling van een frequentie naar spanning omzetter.

**De frequentie naar spanning omzetter**
Het handige van het besproken systeem is dat voor het omgekeerde proces, het herwinnen van de analoge ingangsspanning uit de pulstrein, dezelfde schakeling kan worden gebruikt! Weliswaar zijn de verschillende blokken op een iets andere manier ingesteld.
Het basisschema is getekend in figuur 3/15.6-16.

De integrator wordt nu alleen gestuurd door de interne constante stroombron I en niet meer door een extern signaal. Over de integrator-condensator C1 is nu een weerstand R1 parallel geschakeld. De pulstrein wordt aangeboden aan de inver-

terende ingang van de comparator. Deze dient alleen als buffertrap.

Iedere inkomende puls zal de monostabiele multivibrator triggeren. Deze wekt een puls met constante breedte op die de schakelaar S even sluit. Het gevolg is dat voor iedere inkomende puls er even een stroom uit de integrator wordt onttrokken. Het gevolg is dat de condensator zich iets zal opladen.
Tussen twee pulsen is de schakelaar geopend en kan de condensator niet opladen. Hij wordt dan echter ontladen door de weerstand R1 die er parallel over staat.

Het gevolg is dat de schakeling streeft naar een evenwichtstand.
Er ontstaat over de condensator een spanning waarvan de grootte afhankelijk is van de verhouding tussen de laad- en de ontlaadtijd.

Het zal duidelijk zijn dat deze spanning groter wordt naarmate er meer pulsen ontvangen worden en kleiner wordt als er minder pulsen worden ontvangen. Omdat zowel het laden als het ontladen van de condensator een lineair proces is zal de resulterende spanning over de condensator recht evenredig zijn met het aantal pulsen dat wordt ontvangen.
Ook deze schakeling werkt dus lineair: als een pulstrein met een frequentie van 1 kHz een resulterende spanning over de condensator van 1 V opwekt, dan zal een pulstrein met een frequentie van 3 kHz een resulterende spanning van 3 V genereren.

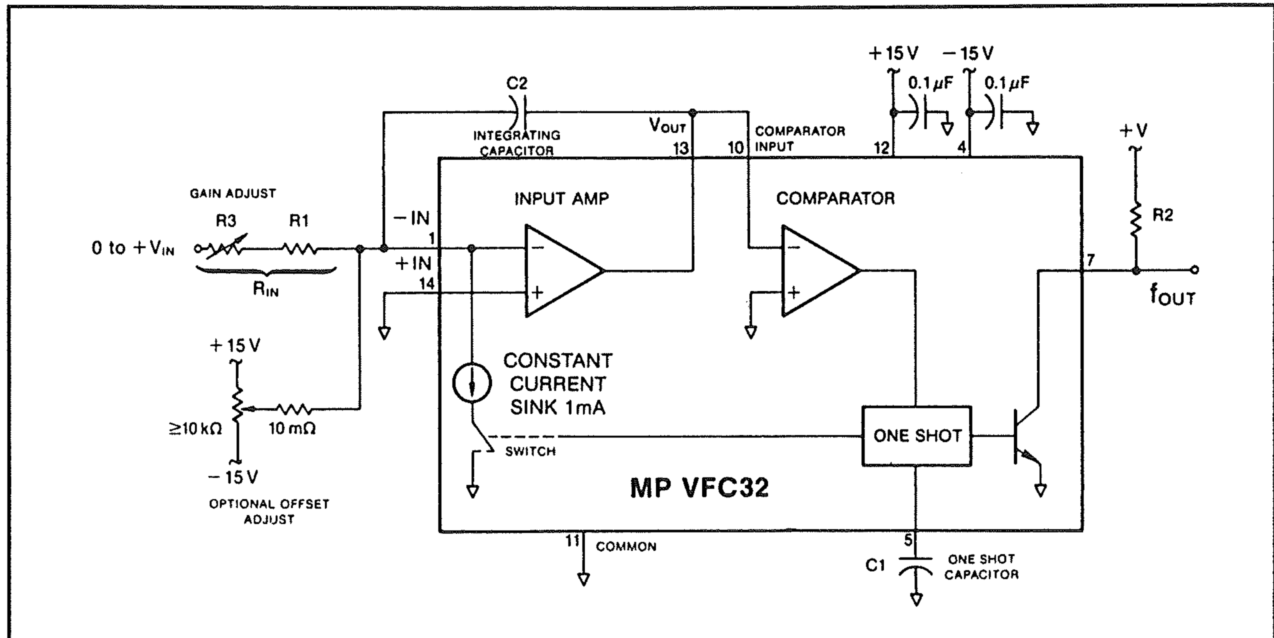
**Een praktische schakeling**
In figuur 3/15.6-17 wordt een praktische schakeling gegeven, de MP VFC32 van Micro Power Systems.

Uiteraard bevat zo'n praktische schakeling een aantal verfijningen.

Op de eerste plaats valt de OFFSET ADJUST op. Met deze potentiometer wordt een kleine positieve of negatieve spanning aan de ingang van de integrator toegevoerd. De noodzaak van deze voorziening zal duidelijk zijn. De integrator werkt met een operationele versterker en dergelijke schakelingen hebben als slechte eigenschap dat zij een offset hebben. Als de integrator noch door de interne stroombron, noch door de externe spanning gestuurd wordt, dan zou de uitgangsspanning van de schakeling nul moeten zijn en dat ook blijven. Door de kleine offsetstroom in de ingangen van de operationele versterker zal dat echter niet het geval zijn. De uitgangsspanning zal iets dalen of stijgen. Om dit verschijnsel te compenseren is de externe potentiometer noodzakelijk. Deze stuurt een klein positief of negatief stroompje naar de ingang van de integrator. Deze stroom is even groot maar tegengesteld aan de offsetstroom van de operationele versterker.
Zonder deze voorziening zou de schakeling bij 0 V aan de ingang toch af en toe een puls opwekken, waardoor de nauwkeurigheid voor kleine ingangsspanningen zeer slecht zou zijn.

Op de tweede plaats valt op dat de ingangsspanning niet via een vaste weerstand maar via een potentiometer GAIN ADJUST aan de integrator wordt aangeboden. Met deze potentiometer kan men de schakeling ijken. Als men een omzettingsfactor van 1 kHz/V wil moet men een spanning van precies 1 V op de ingang zetten en deze potentiometer verdraaien tot de schakeling een pulstrein met een frequentie van precies 1 kHz genereert.

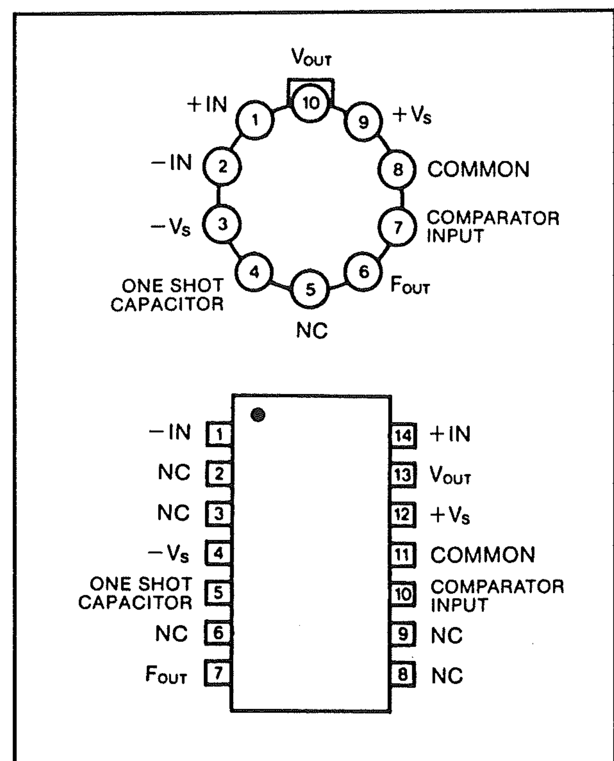
## 15.6 Delta modulatie en U → f omzetting




**Figuur 3/15.6-17:** De MP VFC32 is een spanning naar frequentie omzetter met een nauwkeurigheid van +/-0,01%.

De schakeling heeft een maximaal bereik van 500 kHz aan de uitgang en van 6 decaden aan de ingang. Dat wil dus zeggen dat gegarandeerd wordt dat bij de minimale spanning aan de ingang er niet meer dan 0,5 pulsen per seconde zullen worden gegenereerd! De lineariteit over dit bereik bedraagt +/-0,05% en stijgt tot +/-0,01% als men het werkingsbereik beperkt tot 10 kHz.

Tot slot van deze bespreking zijn in figuur 3/15.6-18 de aansluitgegevens van deze schakeling samengevat.




**Figuur 3/15.6-18:** De aansluitgegevens van de MP VFC32.

## 15.6 Delta modulatie en U → f omzetting

# 3/15.7

# Deglitching-technieken

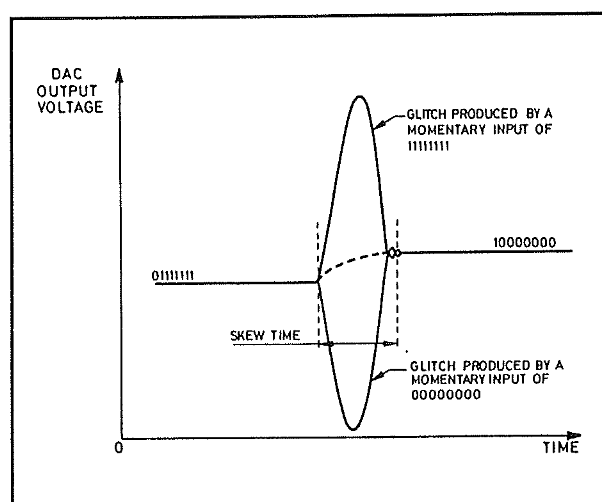
## Inleiding

Een fundamenteel probleem bij alle digitaal naar analoog omzetters is dat er gedurende de overgang van de ene naar de volgende ingangscode op de analoge uitgang van de schakeling korte, onvoorspelbare stoorpulsen ontstaan. Deze pulsen worden "glitches" genoemd en deze storingen moeten in de meeste gevallen uit het analoge signaal verwijderd worden.

## Ontstaan van glitches

Glitches ontstaan doordat niet alle elektronische stroomschakelaars in de DAC even snel van de ene naar de andere toestand schakelen. Bij het aanpassen van de analoge uitgangsspanning aan een nieuwe digitale code op de ingangen zal in het gunstigste geval slechts één schakelaar van stand verwisselen. Het kan echter ook zijn dat alle schakelaars omschakelen. Het gevolg is dat de glitches niet allemaal even groot en breed zijn. Een onregelmatig stoorsignaal heeft een zeer brede bandbreedte, is dus rijk aan harmonischen. Bij audio-toepassingen zullen de glitches zorgen voor een typisch ruisgeluid dat met de bekende filtertechnieken nauwelijks is te onderdrukken.

In figuur 3/15.7-1 is de situatie geschetst die bij een 8 bit brede DAC ontstaat als de ingangscode omschakelt van "L-H-H-H-H-H-H-H" naar "H-L-L-L-L-L-L-L".




**Figuur 3/15.7-1:** Het ontstaan van glitches bij de overgang van de ene ingangscode naar de volgende.

Op dat moment doet zich, althans wat glitches betreft, de slechtst mogelijke situatie voor omdat alle stroombronschakelaars in de DAC moeten omschakelen. Nu werken niet al deze schakelaars even snel.

Het kan dus gebeuren dat eerst de schakelaar van het MSB omschakelt, waardoor het lijkt alsof de digitale code even gelijk wordt aan "H-H-H-H-H-H-H-H". De analoge uitgang zal naar de hoge spanning willen streven die overeen komt met deze code. De uitgangsspanning van de DAC gaat dus plotseling stijgen. Alvorens echter de eindwaarde van deze foutieve code is bereikt zullen ook de andere stroombronschakelaars omgeschakeld zijn. De

analoge uitgang gaat dan terug dalen naar de waarde die overeen komt met de nieuwe ingangscode.
Op de uitgang ontstaat dus een zeer smalle positieve piek, een positieve glitch.

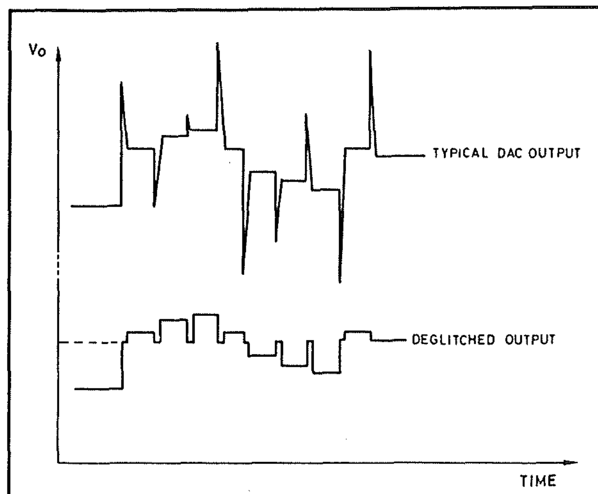
Als echter de MSB-schakelaar als laatste omschakelt ontstaat een tussensituatie waarbij het lijkt alsof de ingangscode gelijk is aan "L-L-L-L-L-L-L-L". Op dezelfde manier kan men aantonen dat er nu een negatieve glitch ontstaat.

Het analoge uitgangssignaal van een DAC ziet er uit zoals (overdreven) voorgesteld in de bovenste grafiek van figuur 3/15.7-2. Grootte en polariteit van de glitches zijn volledig afhankelijk van de codewisselingen maar ook van fabrikagetoleranties van de chip. Twee wat typenummer betreft volledig identieke IC's kunnen heel verschillende glitchverschijnselen vertonen!

**Deglitcher-technieken**
Tussen de analoge uitgang van de DAC en de rest van de schakeling moet een speciale schakeling worden opgenomen, die tot taak heeft de glitches te verwijderen. Dat lukt nooit helemaal, het beste wat te verwachten is is het resultaat dat in de onderste grafiek van figuur 3/15.7-2 is geschetst.

Er bestaan in principe twee benaderingen om de glitches te minimaliseren:
- filteren met laagdoorlaatfilters;
- speciale deglitcher-IC's toepassen.

**Filteren**
Glitches zijn zeer smalle pulsen en dus per definitie zeer hoogfrequent. Door achter de DAC een scherp afsnijdend laagdoorlaatfilter op te nemen zal de bandbreedte van het uitgangssignaal beperkt worden.




**Figuur 3/15.7-2:** Uitgangssignalen van een DAC met (boven) en zonder (onder) glitches.

Daardoor zullen de hoogfrequente componenten waaruit de glitches ontstaan verzwakt worden.

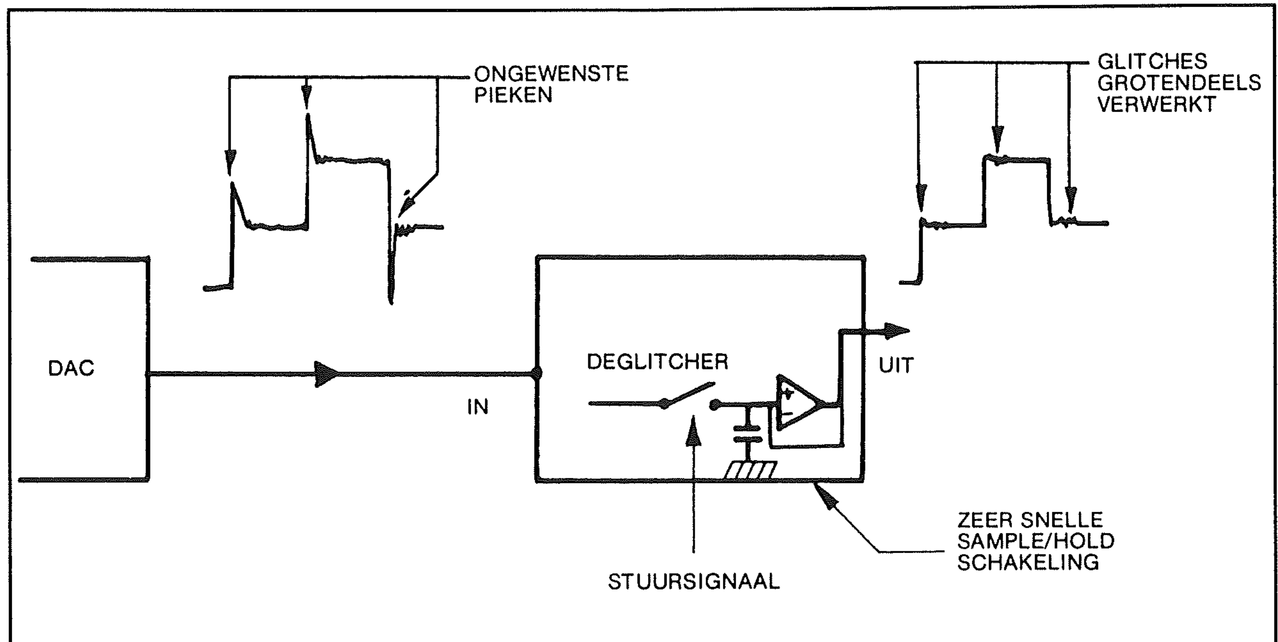
**Zeer scherp afsnijdende filters hebben echter een aantal nadelen**
- Op de eerste plaats veroorzaken zijn vertragingen hetgeen bij snel werkende DAC's ontoelaatbaar is.
- Op de tweede plaats veroorzaken zij faseverschuivingen waardoor vervormingen op het analoge uitgangssignaal kunnen ontstaan.
- Op de derde plaats hebben zij een zeer slechte respons op pulsen, waardoor overshoot op de uitgang ontstaat.

Analoge laagdoorlaatfilters zijn dan ook alleen toepasbaar als er aan de schakeling niet al te hoge eisen worden gesteld.

**Speciale deglitcher-schakelingen**
Het principe van deze schakelingen is getekend in figuur 3/15.7-3.

Het analoge uitgangssignaal van de DAC wordt aan een zeer snelle sample and hold aangeboden.

**15.7 Deglitching-technieken**



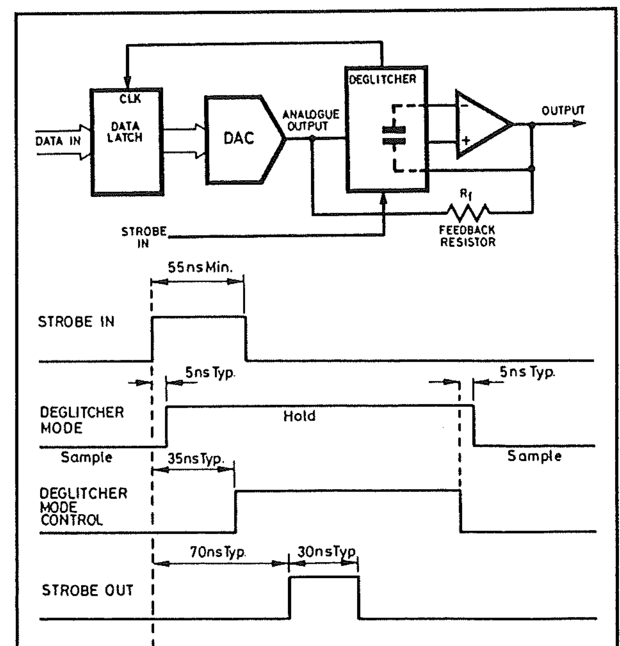

**Figuur 3/15.7-3:** Het principe van een deglitcher.

Deze slaat het uitgangssignaal van de DAC op in een kleine condensator. De sampleschakelaar wordt echter geopend op het moment dat een nieuwe digitale code in de DAC wordt ingelezen. De glitches, die op dat moment op de uitgang van de DAC ontstaan, worden dus niet doorgegeven naar de condensator. Nadat de skew-tijd verstreken is wordt de schakelaar gesloten, de condensator wordt snel opgeladen tot de nieuwe waarde van de analoge uitgangsspanning.

Op deze manier zou men in theorie helemaal geen last mogen hebben van de glitches. De goede werking van de schakeling is echter volledig afhankelijk van de timing tussen de puls die nieuwe digitale gegevens in de DAC inleest en de puls die de elektronische schakelaar in de deglitcher bestuurt. Als dit stuursignaal te laat arriveert, bijvoorbeeld door systeemvertragingen, dan zal de schakelaar te laat openen en zal toch nog een deel van de glitches tot de condensator doordringen.

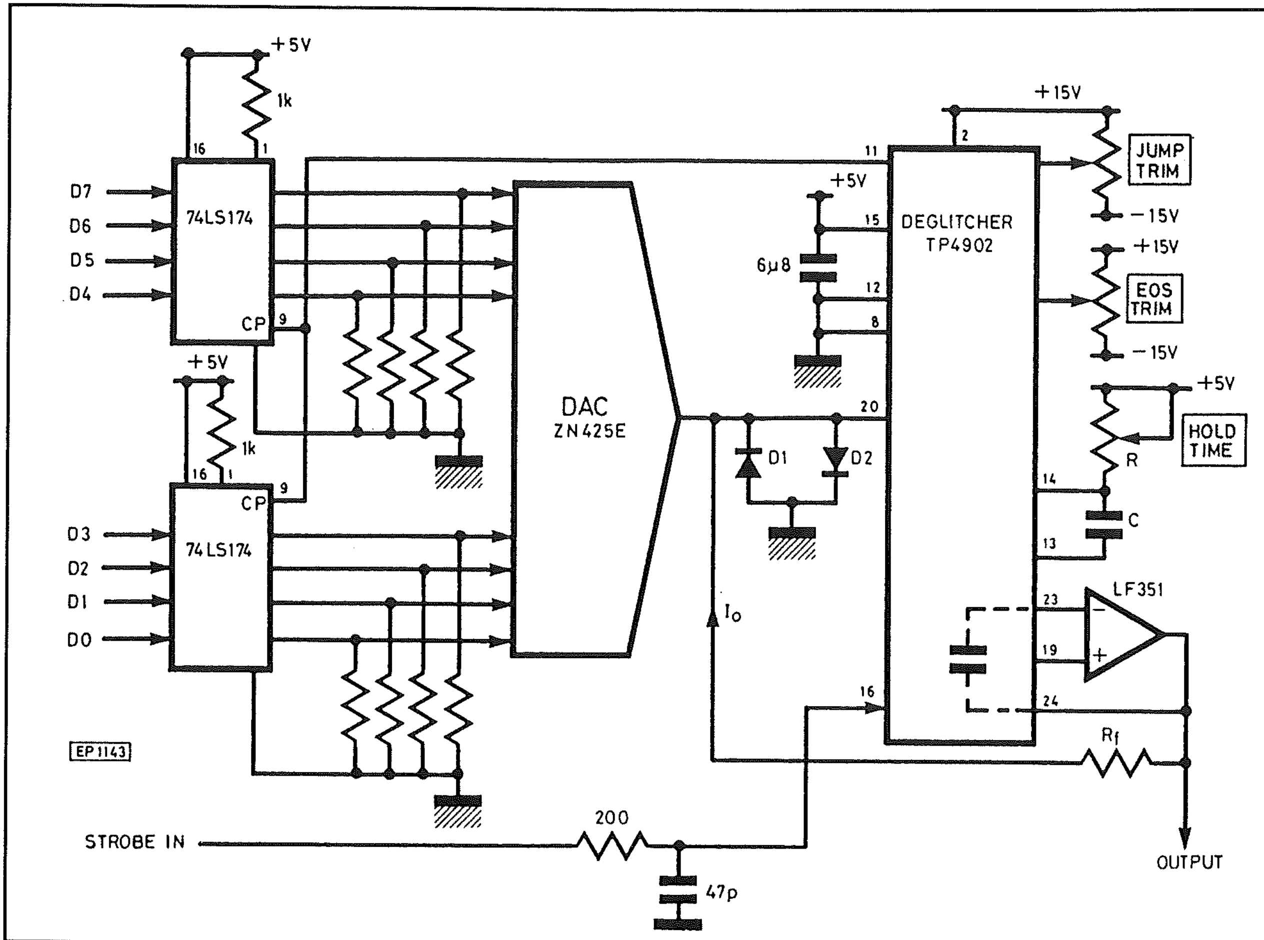
**De timing van de schakeling**

In figuur 3/15.7-4 is een blokschema getekend van een deglitcher met de preciese timing tussen de verschillende signalen.




**Figuur 3/15.7-4:** De timing van de deglitcher stuursignalen.

## 15.7 Deglitching-technieken




**Figuur 3/15.7-5:** Een praktische deglitcherschakeling rond de TP4902 van Teledyne.

Op het moment dat nieuwe gegevens in de latch van de DAC worden ingelezen wordt een STROBE IN puls aan de deglitcher aangeboden. Deze puls schakelt de deglitcher in de HOLD-mode. Dat gaat evenwel gepaard met een vertraging van ongeveer 5 ns. Ongeveer 70 ns na het verschijnen van de voorflank van de STROBE IN puls levert de deglitcher een STROBE OUT puls. Deze wordt terug gevoerd naar de latch en heeft tot gevolg dat de inhoud van de latch aan de DAC wordt aangeboden. Nadat de analoge uitgang van de DAC zich heeft aangepast aan de nieuwe digitale code en de skew time van de glitches voorbij is, zal de achterflank van het STROBE IN signaal de deglitcher weer in de sample mode sturen. De condensator neemt de nieuwe waarde van de analoge spanning over.

**Een praktische schakeling**
In figuur 3/15.7-5 wordt tot slot een praktische deglitcher schakeling getekend.

De schakeling is voorzien van een 8 bit brede DAC van het type ZN425E. De operationele versterker van het type LF351 sluit de holdcondensator in de deglitcher af.
De EOS TRIM regelt de offset van de schakeling af op een minimum, de JUMP TRIM bepaalt de spanning van het holdsignaal.

# 3/15.8

# Spanningsreferenties voor ADC en DAC

## Inleiding

**Zonder spanningsreferentie gaat het niet!**
Bijna alle in de vorige hoofdstukken besproken technieken om analoge signalen in digitale codes en digitale codes weer in analoge signalen om te zetten maken op de een of andere manier gebruik van een spanningsreferentie. Men kan dus zonder meer stellen dat een spanningsreferentie een wezenlijk en zeer belangrijk onderdeel uitmaakt van ieder DAC- of ADC-systeem.
Bij digitaal naar analoog omzetters, bijvoorbeeld, hangt de grootte van de uitgangsspanning niet alleen rechtstreeks af van de aangeboden digitale code, maar ook van de aanwezige referentiespanning.
Dat heeft tot gevolg dat de specificaties van het systeem niet alleen afhangen van het toegepaste omzettingsprincipe, maar ook van de referentiebron.

**Eisen gesteld aan de spanningsreferentie**
Aan de spanningsreferentie in een ADC- of DAC-systeem worden verschillende eisen gesteld.

- Op de eerste plaats moet dit onderdeel variaties op de voedingsspanning van de schakeling zo goed mogelijk opvangen.
- Op de tweede plaats moet de schakeling een zeer lage uitgangsimpedantie hebben, zodat de uitgangsspanning niet varieert als de omzetter een variërende belastingsstroom trekt.
- Op de derde plaats mag de temperatuurscoëfficiënt van de referentie niet zo groot zijn dat de eigen nauwkeurigheid van de omzetter in het gedrang komt. Het is natuurlijk onzin in een bepaald systeem waaraan hoge eisen worden gesteld een speciale, zeer nauwkeurige en dus zeer dure omzetter te gebruiken, als nadien blijkt dat deze nauwkeurigheid door de onnauwkeurigheid van de referentie volledig verloren gaat!

Men kan zonder meer stellen dat deze eisen in de praktijk maar met veel moeite vervuld kunnen worden. Het ontwerpen van een hoogwaardige omzetter komt neer op het ontwerpen van een hoogwaardige spanningsreferentie!

**Temperatuurscoëfficiënt bij binaire omzetters**
De nauwkeurigheid van een omzetter wordt in hoge mate bepaald door de temperatuurscoëfficiënt van de gebruikte spanningsreferentie. Het zal duidelijk zijn dat deze factor belangrijker wordt naarmate het aantal bits dat in de omzetting betrokken is stijgt. En dat dit verband alles

**15.8 Spanningsreferenties voor ADC en DAC**

behalve lineair is blijkt uit de cijfers in de tabel van figuur 3/15.8-1.

| TEMP CHANGE | BITS | | | | | |
|---|---|---|---|---|---|---|
| | 6 | 8 | 10 | 12 | 14 | |
| 25°C | 310 | 80 | 20 | 5 | 1.25 | ppm/°C |
| 50°C | 160 | 40 | 10 | 2.5 | 0.6 | ppm/°C |
| 100°C | 80 | 20 | 5 | 1.2 | 0.3 | ppm/°C |
| 125°C | 63 | 16 | 3 | 1 | 0.2 | ppm/°C |

**Figuur 3/15.8-1:** De maximale temperatuurscoëfficiënt van de spanningsreferentie voor verschillende resoluties van een binaire ADC of DAC.

In deze tabel worden de maximale temperatuurscoëfficiënten gegeven die de spanningsreferentie mag hebben in functie van:

- de verwachte temperatuursvariatie (25, 50, 100 of 125 °C);
- de resolutie van de omzetter (6, 8, 10, 12 en 14 bit);
- de toegelaten afwijking op de nauwkeurigheid van de omzetter die voor deze tabel op 1/2 LSB werd gesteld (een zeer reële waarde als men bedenkt dat moderne omzetters een eigen afwijking van maximaal 1 LSB hebben).

Uit deze tabel kan men dus aflezen dat voor een 12 bit omzetter die wordt blootgesteld aan temperatuurschommelingen van 50 °C er een maximale temperatuurscoëfficiënt op de spanningsreferentie mag zitten van slechts 2,5 ppm/°C! Misschien zegt deze grootheid niet zo erg veel. Anders wordt het als men dit omrekent naar een voorbeeldje. Als de gebruikte spanningsreferentie een uitgangsspanning van 6 V heeft wil dit zeggen dat de uitgangsspanning slechts 15 µV/°C mag variëren! Het zal duidelijk zijn dat dit met normale zenerdioden of goedkope referentiedioden absoluut niet te halen valt.

**Temperatuurscoëfficiënt bij decimale omzetters**

De maximale temperatuurscoëfficiënten van de referenties die worden gebruikt bij omzetters met decimale uitgangen zijn samengevat in de tabel van figuur 3/15.8-2.

Ook hier gelden de cijfers voor een maximale extra onnauwkeurigheid van 1/2 LSB.

**De overige onderdelen**

Een spanningsreferentie zal zelden alleen uit een zenerdiode of een referentiediode bestaan. Een heleboel omzetters eisen immers een referentiespanning van exact 10,000 V. Dergelijke diodes zijn niet op de markt. Het is dus noodzakelijk de referentiediode (bijvoorbeeld van 6,2 V) af te sluiten met een spanningsversterker, die de zenerspanning versterkt tot 10,000 V. In deze versterker zitten onderdelen en ook deze onderdelen vertonen een bepaalde afhankelijkheid van de temperatuur. Berucht is de temperatuurscoëfficiënt van weerstanden en de offsetdrift van operationele versterkers.

Bij een schakeling die een zenerspanning van 6,9 V omzet in een referentiespanning van 10 V kan men de bijdrage aan de volledige drift van de schakeling als volgt specificeren:

- een referentiediode zoals een LM199A draagt 0,5 ppm/°C aan de totale drift bij;
- de offsetdrift van een operationele versterker als de LH0044 bedraagt 0,15 ppm/°C;
- 0,1 % draadgewonden weerstanden leveren 2 tot 4 ppm/°C;
- metaalfilmweerstanden met een tolerantie van 1 % kunnen tussen de 20 en

de 40 ppm/°C spanningsverloop veroorzaken;
- door een geschikte selectie van weerstanden, waardoor de temperatuurscoëfficiënten van de onderdelen elkaar compenseren, kan de invloed van de weerstanden in de schakeling gereduceerd worden tot minder dan 0,5 ppm/°C.

**Temperatuurhysteresisch**
Een eigenschap van zener- en referentiedioden die ook een rol speelt bij het ontwerpen van referenties voor ADC's en DAC's is de temperatuurhysteresisch.
Als men een diode opwarmt van 20 °C tot 100 °C en nadien weer afkoelt tot 20 °C dan zal men vaststellen dat de spanning over de diode niet helemaal terugvalt op de oude waarde. Een gevolg van het feit dat het diodekristal door de opwarming is uitgezet en daardoor niet terug te schroeven mechanische vervormingen in de constructie heeft veroorzaakt. Deze vervormingen oefenen een bepaalde druk uit op het kristal, waardoor dit een iets andere spanning gaat opwekken. Helaas wordt deze fysische eigenschap van diodes maar zelden in de technische specificaties opgenomen!

De temperatuurhysteresisch loopt bij sommige dioden op tot 5 mV voor één cyclus en werkt cumulerend. Dat wil zeggen dat het spanningsverschil na iedere temperatuurcyclus groter wordt.

# Voorbeeldschakelingen

**Inleiding**
Bij het ontwerpen van referentieschakelingen voor omvormers kan men twee wegen bewandelen.
- Voor spanningsreferenties waaraan niet al te hoge eisen worden gesteld kan men gebruik maken van relatief goedkope dioden met een eigen tempco van rond de 10 ppm/°C. Door geschikte weerstanden kan men deze factor gedeeltelijk compenseren over het in de normale praktijk te verwachten temperatuurbereik.
- Een tweede benadering is zo stabiel mogelijke referentiediodes te gebruiken en het grootste gedeelte van de onvermijdelijke drift op de rekening van de weerstanden en de operationele versterker te schrijven. Dit heeft als voordeel dat aan het ontwerpen en (vooral) testen van de schakeling niet al te grote eisen worden gesteld. Men neemt de eigenschappen van de gebruikte componenten immers voor lief.

In de volgende paragrafen worden vier praktisch bruikbare voorbeeldschakelingen van spanningsreferenties behandeld, waarvan er drie een uitgangsspanning genereren die hoger is dan de eigen spanning van de referentie.

| TEMP CHANGE | DIGITS | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|
| | 2 | 2½ | 3 | 3½ | 4 | 4½ | 5 | 5½ | |
| 25°C | 200 | 100 | 20 | 10 | 2 | 1 | 0.2 | 0.1 | ppm/°C |
| 5°C | | | 100 | 50 | 10 | 5 | 1 | 0.5 | ppm/°C |

**Figuur 3/15.8-2:** De maximale temperatuurscoëfficiënt in functie van de resolutie van decimale omzetters.

**15.8 Spanningsreferenties voor ADC en DAC**

De drie eerste schakelingen leveren een totale temperatuurscoëfficiënt van rond de 20 ppm/°C en zijn dus bruikbaar voor omzetters tot 10 binaire bits of tot 3 à 3,5 decaden bij decimale omzetters. De laatste schakeling heeft een temperatuurscoëfficiënt van slechts 1 ppm/°C en is bijgevolg bruikbaar tot 12 binaire bits of tot digitale voltmeters met 4,5 decaden.

**Voorbeeldschakeling 1**

De schakeling van figuur 3/15.8-3 maakt gebruik van een zenerdiode van het type LM329A.

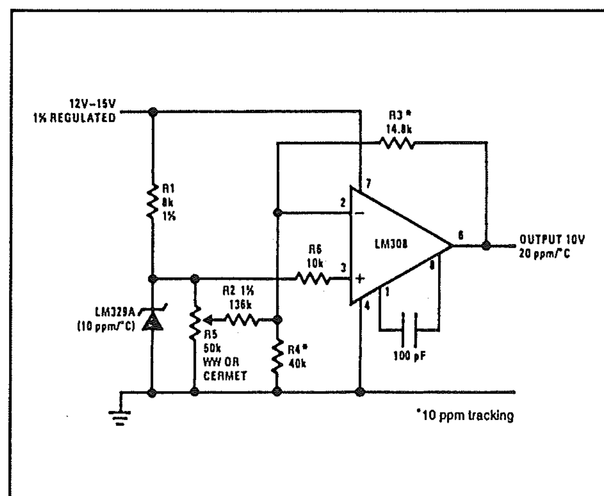
Deze diode heeft een uitgangsspanning van 6,9 V en een eigen temperatuurscoëfficiënt van ongeveer 10 ppm/°C.

Deze spanning wordt door een operationele versterker opgevoerd tot de standaard 10 V. De versterking van de schakeling wordt ingesteld door middel van de weerstanden R3 en R4. Deze mogen een temperatuurscoëfficiënt van maximaal 10 ppm/°C hebben. Helaas is het onmogelijk een dergelijke schakeling te maken zonder instelpotentiometer. Op de zenerspanning zit immers een bepaalde tolerantie en de uitgangsspanning moet op precies 10,000 V afgeregeld kunnen worden. Vandaar dat de instelpotentiometer R5 over de zenerdiode is geschakeld. Deze voert een gedeelte van de zenerspanning via de weerstand R2 toe aan de inverterende ingang van de operationele versterker. Ook aan deze laatste weerstand worden zeer hoge stabiliteitseisen gesteld.

De totale temperatuurscoëfficiënt van de schakeling bedraagt in het slechtste geval 20 ppm/°C.

Opgemerkt moet worden dat de zenerdiode wordt gevoed door een gewone 1% weerstand in serie te schakelen naar de voedingsspanning. Hoewel vaak wordt geadviseerd de zenerdiode te voeden uit de referentie-uitgang wordt dit door National Semiconductor afgeraden. Het nare van dat systeem is dat er opstartproblemen kunnen ontstaan, waardoor de uitgangsspanning op 0 V blijft hangen.

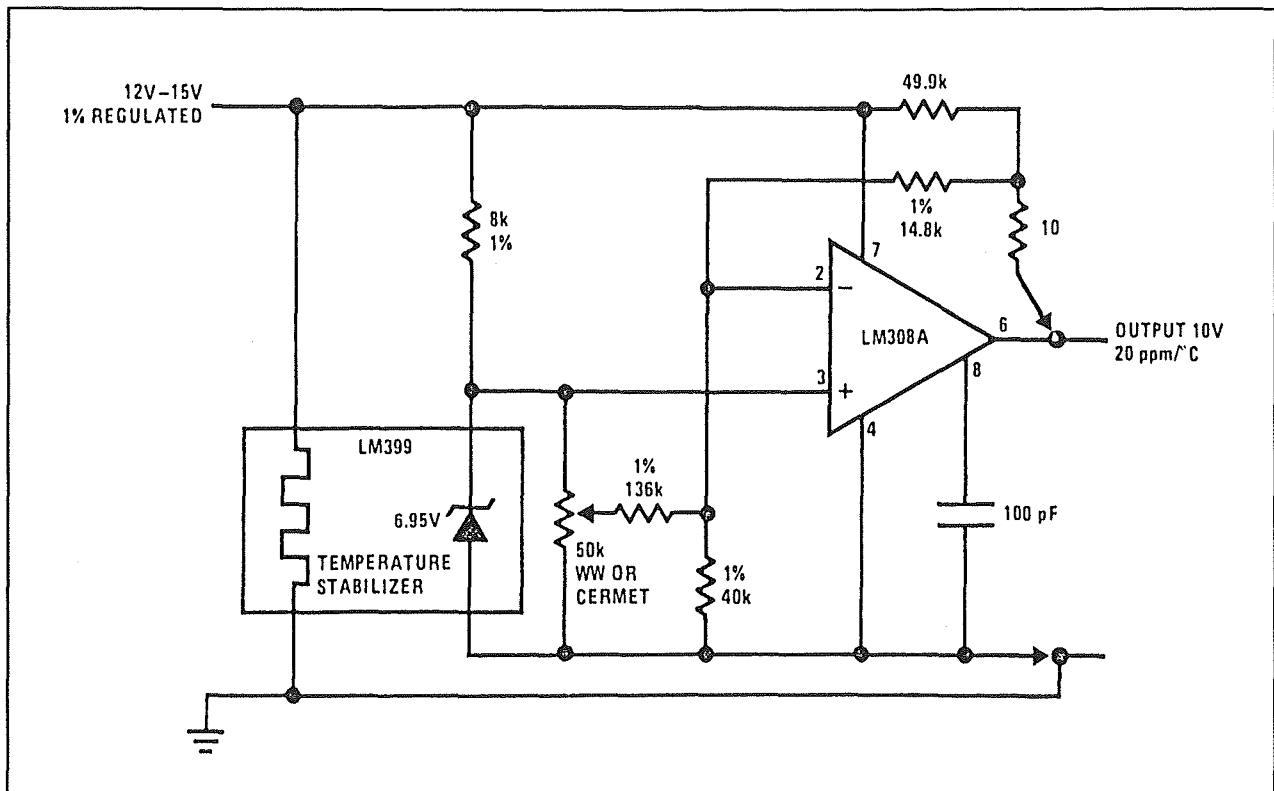
Het instellen van de zenerdiode uit de voedingsspanning kan zonder de specificaties van de schakeling nadelig te beïnvloeden. De speciale referentiediode die hier gebruikt wordt heeft immers een inwendige weerstand van slechts 1 Ω. Bij drift op de voedingsspanning van 1% zal er over de diode een spanningsdrift van maximaal 20 µV ontstaan. Deze afwijking valt volledig binnen de temperatuurscoëfficiënt specificaties van de diode en kan bijgevolg verwaarloosd worden.




**Figuur 3/15.8-3:** Een eenvoudig schema van een spanningsreferentie rond een zenerdiode van het type LM329A.

Opgemerkt moet worden dat men deze instelling niet kan gebruiken als men gewone zenerdiodes in de schakeling toepast.

**15.8 Spanningsreferenties voor ADC en DAC**




**Figuur 3/15.8-4:** In deze schakeling kunnen standaard metaalfilmweerstanden worden toegepast.

Deze hebben namelijk een veel hogere inwendige weerstand (tot 15 Ω) en een variatie op de voedingsspanning van 1% veroorzaakt dan een afwijking van de zenerspanning die vertaald kan worden naar een drift van 60 ppm!

**Voorbeeldschakeling 2**

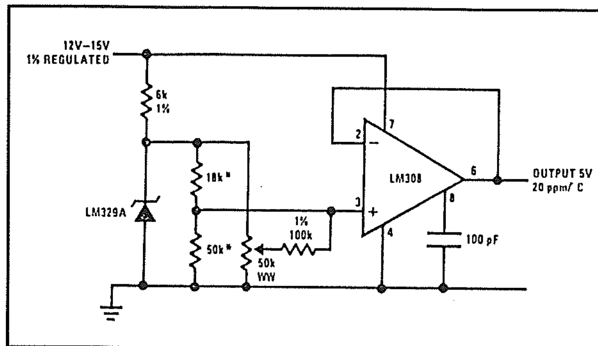
In figuur 3/15.8-4 wordt een schakeling gegeven die gebruik maakt van een thermisch gestabiliseerde referentie van het type LM399. Deze bestaat uit een zenerdiode met een uitgangsspanning van ongeveer 6,95 V die in een thermostatisch geregelde behuizing is ondergebracht. De eigen temperatuurscoëfficiënt van deze referentiediode bedraagt slechts 2 ppm/°C. Maar ook nu is het nodig de uitgangsspanning door middel van een versterkertje te verhogen tot 10,000 V. Wil men de totale temperatuurscoëfficiënt van de schakeling beneden de 20 ppm/°C houden, dan is het nu niet nodig speciale weerstanden te gebruiken. Men kan gewone metaalfilmweerstanden toepassen met een tolerantie van 1%.

Let op de speciale schakeling rond de uitgang van de operationele versterker. De weerstanden van 10 Ω en 49,9 kΩ verbeteren de manier waarop de schakeling reageert op schommelingen op de voedingsspanning aanmerkelijk!

Het zal duidelijk zijn dat men de totale temperatuurscoëfficiënt van deze schakeling aanzienlijk kan verbeteren door speciale weerstanden in de schakeling op te nemen.

Gebruikt men weerstanden met een gegarandeerde maximale temperatuurscoëfficiënt van 10 ppm/°C, dan daalt de totale tempco tot minder dan 10 ppm/°C.

## 15.8 Spanningsreferenties voor ADC en DAC




**Figuur 3/15.8-5:** Een 5 V referentie uit een zenerspanning van 6,9 V.

Door de gebruikte weerstanden te selecteren op elkaar compenserende tempco's kan men deze schakeling zelfs opvoeren tot een maximale temperatuursdrift van slechts 5 ppm/°C!

**Voorbeeldschakeling 3**

In figuur 3/15.8-5 wordt een schakeling gegeven die een referentiespanning van 5,000 V genereert.
De uitgangsspanning is dus lager dan de spanning van de referentiediode en de op-amp wordt nu niet gebruikt als versterker maar als buffer.

De voornaamste bijdrage aan de totale tempco wordt nu veroorzaakt door de op-amp. Immers, bij een schakeling met een uitgangsspanning van 10 V draagt de temperatuursdrift van 15 µV/°C van de op-amp slechts 2 ppm/°C bij. Maar bij een uitgangsspanning van 5 V draagt dezelfde factor 4 ppm/°C bij!
In dit soort schakelingen wordt de selectie van de operationele versterker dus zeer belangrijk.

**Voorbeeldschakeling 4**

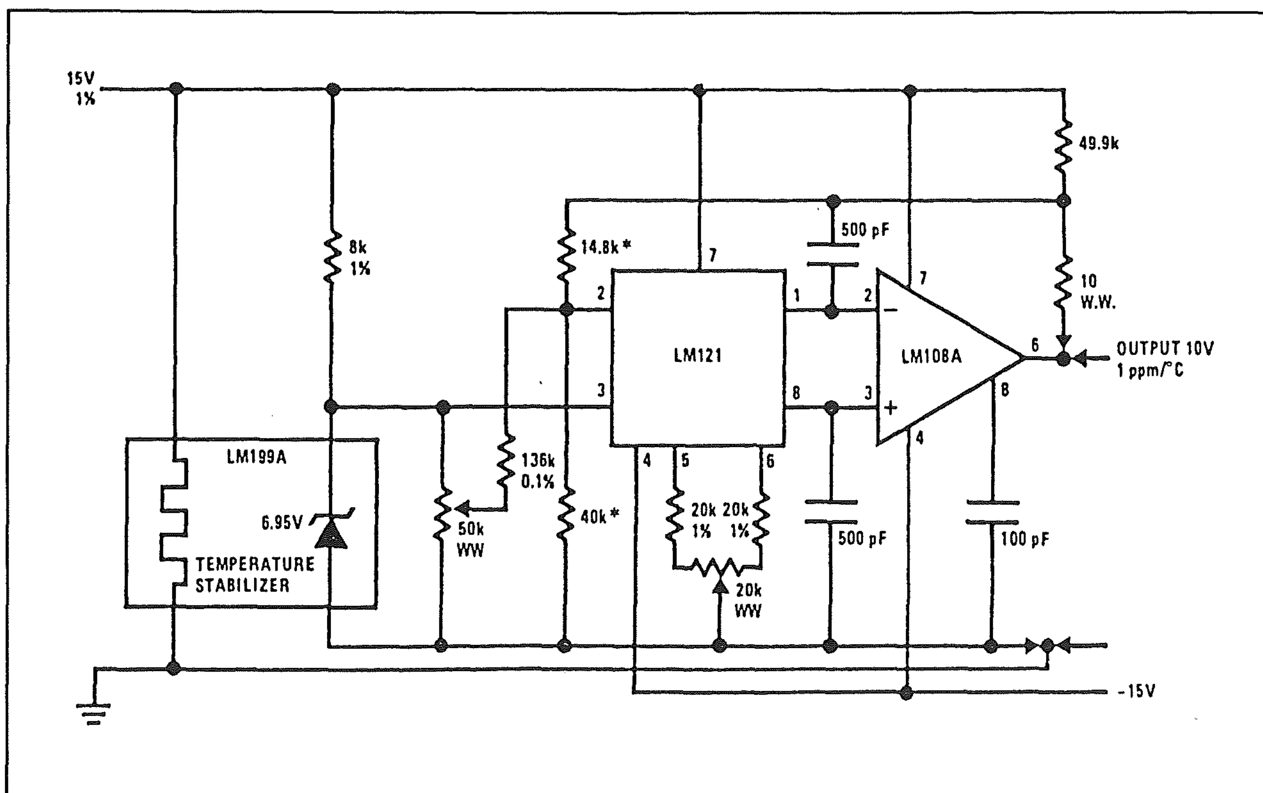
Tot slot geeft figuur 3/15.8-6 een schakeling van een zeer stabiele spanningsreferentie van 10,000 V.

De totale temperatuurscoëfficiënt bedraagt slechts 1 ppm/°C.

Bij dit principe wordt de tempco van de referentiediode gecompenseerd door de offsetdrift van de eerste operationele versterker in te stellen. Daarvoor wordt een LM121 gebruikt, een speciale op-amp met een zeer lage drift. Deze drift is bovendien recht evenredig met de offsetspanning!
Het afregelen van de schakeling gaat als volgt. De referentiediode wordt verwijderd en de ingangen van de LM121 met de massa verbonden. Men regelt nu de offset van de op-amp weg met behulp van de 20 kΩ instelpotentiometer. Nadien wordt de referentiediode aangebracht en de kortsluitingen op de ingangen van de op-amp verwijderd.
Men regelt de uitgangsspanning van de schakeling met behulp van de instelpotentiometer van 50 kΩ af op 10,000 V. Nadien wordt de schakeling in een temperatuurskast ondergebracht en wordt een volledige temperatuurcyclus doorlopen. Daarbij noteert men de drift op de uitgangsspanning. Deze is uiteraard alleen meetbaar met een zeer goede digitale voltmeter met een resolutie van vier en een half decaden!

De operationele versterker zal 3,6 µV/°C driften voor iedere mV offset. Het volstaat nu voor iedere 5 µV/°C drift op de uitgang de offset van de op-amp 1 mV in de tegengestelde richting in te stellen. Iedere mV offset komt overeen met 1,4 mV op de uitgang van de schakeling.
Men herhaalt dus de afregelprocedure, maar nu wordt de offset van de op-amp niet op 0 V gedraaid, maar op de gewenste waarde. Nadien wordt de uitgang weer op 10,000 V afgeregeld en wordt de temperatuurcyclus herhaald.

**15.8 Spanningsreferenties voor ADC en DAC**




**Figuur 3/15.8-6:** Een zeer stabiele referentieschakeling met een tempco van slechts 1 ppm/°C.

Hoewel dit een vrij tijdrovende procedure is, kan men met deze relatief eenvoudige schakeling met niet al te dure onderdelen uitstekende resultaten behalen.

**Verdere maatregelen**

Naast het minimaliseren van de temperatuurscoëfficiënt moet men rekening houden met de volgende ontwerpeisen.

- Bij het ontwerpen van de print voor de spanningsreferentie moet men rekening houden met de lay-out van alle punten die aan de massa liggen. Een niet al te lang printspoortje heeft een soortelijke weerstand van 0,1 Ω en over een dergelijke weerstand valt 1 mV per 10 mA stroom. Variërende massastromen kunnen dus op deze manier bijdragen aan de drift op de referentiespanning!
- De spanningsreferentie zal in de meeste gevallen deel uitmaken van een systeem waarin snelle pulsen gegenereerd worden. Deze kunnen via paracitaire koppelingen op de ingangen van de operationele versterker van de referentie terecht komen en de uitgang van de schakeling verontreinigen. In de meeste gevallen zal het dan ook noodzakelijk zijn de schakeling van de spanningsreferentie volledig af te schermen. Indien mogelijk wordt zelfs aangeraden de schakeling op een afzonderlijk printje te ontwerpen dat via goed ontkoppelde verbindingen met de centrale massa en voeding verbonden wordt.
- Soms kan men de dynamische inwendige weerstand van de spanningsreferentie verlagen door tussen de uitgang van de operationele versterker en de massa

**15.8 Spanningsreferenties voor ADC en DAC**

een goede condensator van 1 tot 10 μF te schakelen. Maar of deze maatregel echt helpt is afhankelijk van de eigen stabiliteit van de schakelingen in de operationele versterker.

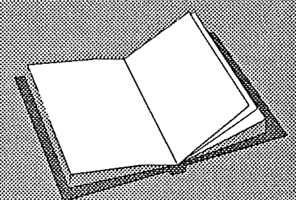
# 3/15.9

# Data acquisitie systemen, theorie en praktijk

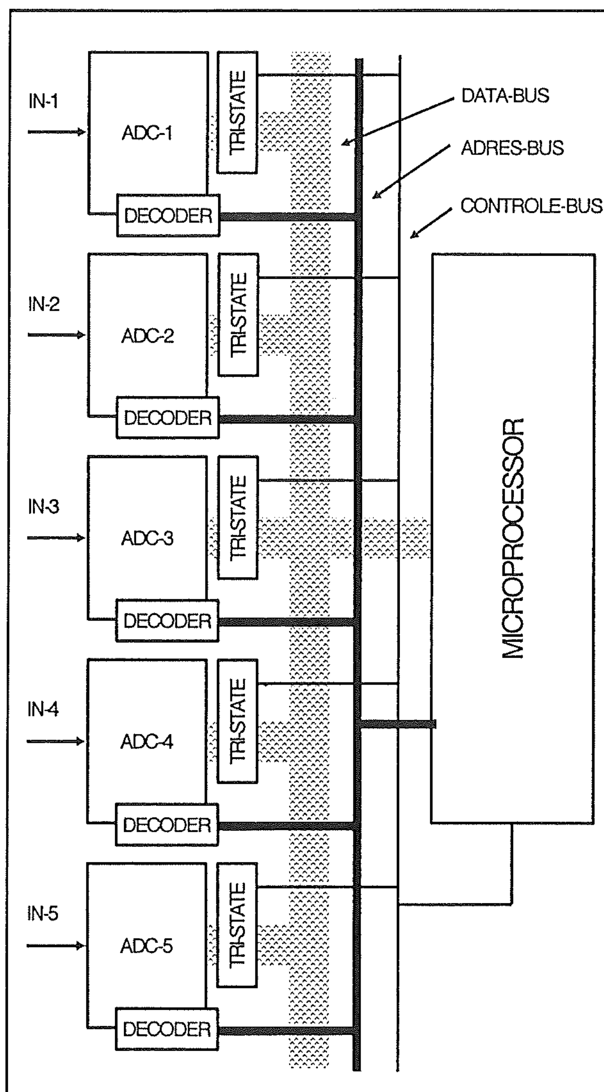
## Inleiding

**Meer dan één analoog signaal**
De in hoofdstuk 3/15.3 beschreven analoog naar digitaal omzetters met een DAC in de terugkoppeling zijn uitstekend geschikt voor het digitaliseren van één analoge ingangsspanning. Deze wordt keurig, op commando van een stuurpuls, omgezet in een binaire code, die verder verwerkt kan worden. Tegenwoordig zal men echter vaak behoefte hebben aan het digitaliseren van meer dan een ingangsspanning. Denk bijvoorbeeld aan industriële processen, waar honderden analoge spanningen en stromen, geleverd door allerlei soorten sensoren, in een computersysteem ingelezen moeten worden. Maar ook de iets gevorderde doe- hetzelver kan met een dergelijk probleem geconfronteerd worden. Wie een computergestuurd weerstation wil samenstellen, zal minstens een stuk of vijf analoge spanningen moeten verwerken: binnen temperatuur, buiten temperatuur, luchtdruk, luchtvochtigheid, windsnelheid, etc.
Natuurlijk zou men iedere analoge ingangsspanning kunnen aanbieden aan een eigen ADC, maar dan zit men met het probleem dat de digitale uitgangsgegevens op het juiste moment op de een of andere manier op de data-bus van de processor aangeboden moeten worden. De enige oplossing is het blokschema van figuur 3/15.9-1 toe te passen. De digitale uitgangen van de vijf individuele ADC's worden via tri-state buffers op de data-bus van het processorsysteem aangesloten. Deze buffers zijn absoluut noodzakelijk om te verhinderen dat de gegevens van de ene ADC de gegevens van de andere ADC in de weg zitten. Bovendien moet iedere ADC geadresseerd worden. De microprocessor moet weten wanneer de gegevens van een bepaalde ADC op de data-bus staan. Dat is alleen mogelijk als iedere individuele ADC via een adres-decoder op de adres-bus van de processor is aangesloten. In deze adres-decoders wordt aan iedere ADC een individueel adres toegekend, dat softwarematig te benaderen is.

**LEES OOK:**
Hoofdstuk 3/6.18
Hoofdstuk 3/15.1
Hoofdstuk 3/15.3
Hoofdstuk 3/6.18



**15.9 Data acquisitie systemen, theorie en praktijk**




**Figuur 3/15.9-1:** Vijf individuele ADC's moeten via vrij uitgebreide hulpschakelingen op de adresbus van een microprocessor worden aangesloten.

Het zal duidelijk zijn dat dit systeem uitstekend werkt, maar nogal wat vraagt van de ontwerper en de print-tekenaar!

### Een alternatief

Een alternatief is gebruik te maken van maar één ADC, die via een analoge multiplexer verbonden wordt met de verschillende analoge ingangen. Dit systeem wordt voorgesteld in figuur 3/15.9-2 en vraagt aanmerkelijk minder elektronica. De analoge multiplexer wordt gestuurd uit slechts één adres-decoder, rechtstreeks aangesloten op de adres-bus van de microprocessor. De analoge multiplexer zal de vijf analoge ingangen, op commando van de processor, een na een doorverbinden met de ingang van de analoog naar digitaal omzetter. Deze zet de gegevens via slechts één tri-state buffer op de data-bus van het systeem.

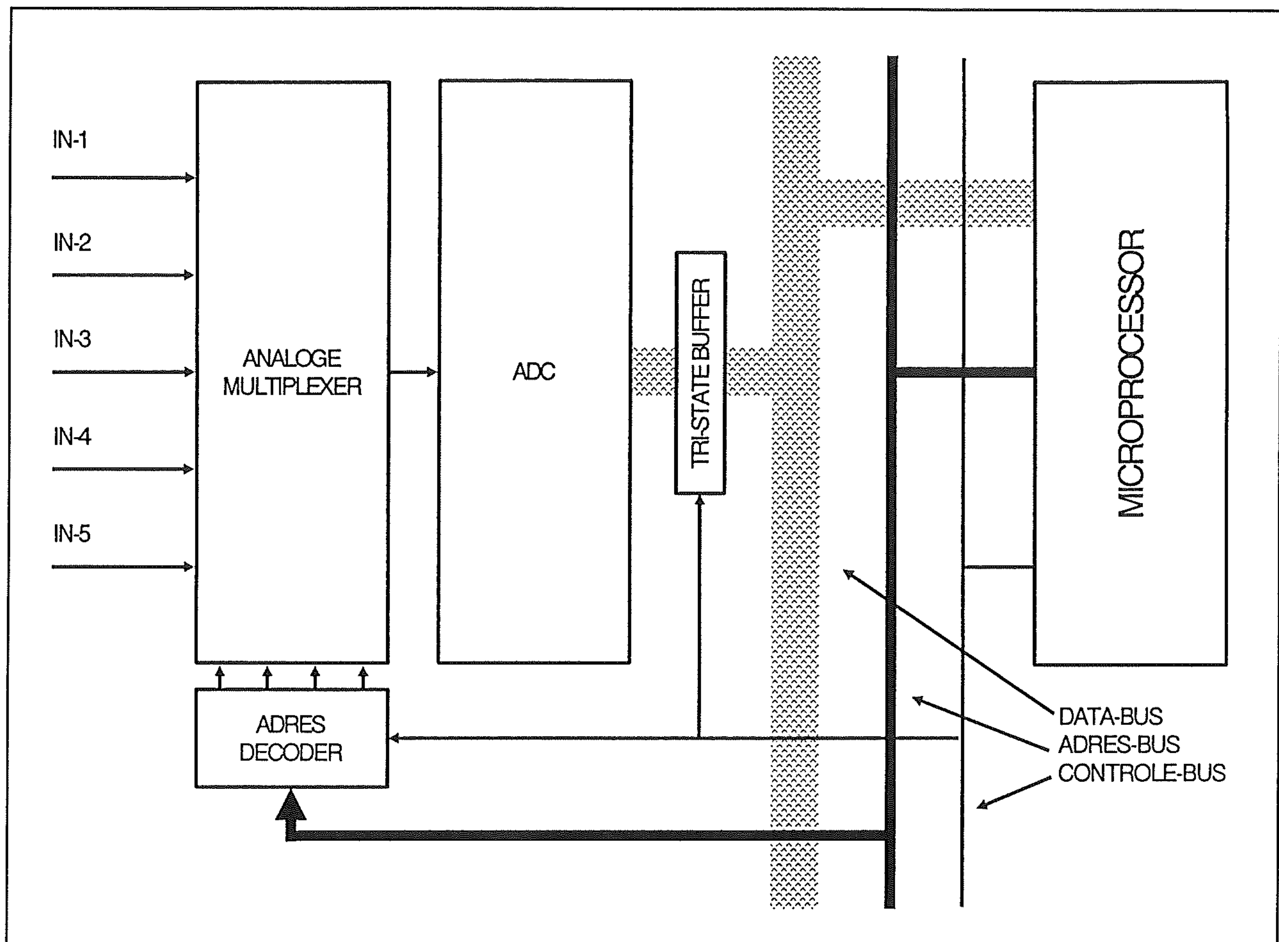
### DAS

Het zal duidelijk zijn, dat het blokschema van figuur 3/15.9-2 vrij eenvoudig volledig te integreren is. Dat is nu het principe van DAS, afkorting van "Data Acquisition System". Een DAS-IC biedt de mogelijkheid diverse analoge ingangsspanningen op een heel eenvoudige manier een na een om te zetten in een binaire code en deze code's een na een aan te bieden aan de data-bus van een processor-systeem.

### Van eenvoudig tot complex

Diverse fabrikanten, waaronder NatSemi, Analog Devices en Plessey, brengen complete DAS-schakelingen op de markt. Er bestaat weinig compatibiliteit tussen de diverse schakelingen. Hoewel het principe van data acquisitie duidelijk is, zijn er natuurlijk tal van opties mogelijk. Zo zijn er vrij eenvoudige IC's, die vier analoge ingangssignalen accepteren en die via een twee bit brede adressering selecteren. Het geselecteerde ingangskanaal wordt rechtstreeks aan een ADC aangeboden en de resultaten van de digitalisatie op een 8 bit brede uitgangsbus aangeboden. Maar daarnaast zijn er ook vrij ingewikkelde schakelingen, die bestuurd moeten worden met een controle-woord dat door een processorsysteem geleverd wordt.

**15.9 Data acquisitie systemen, theorie en praktijk**

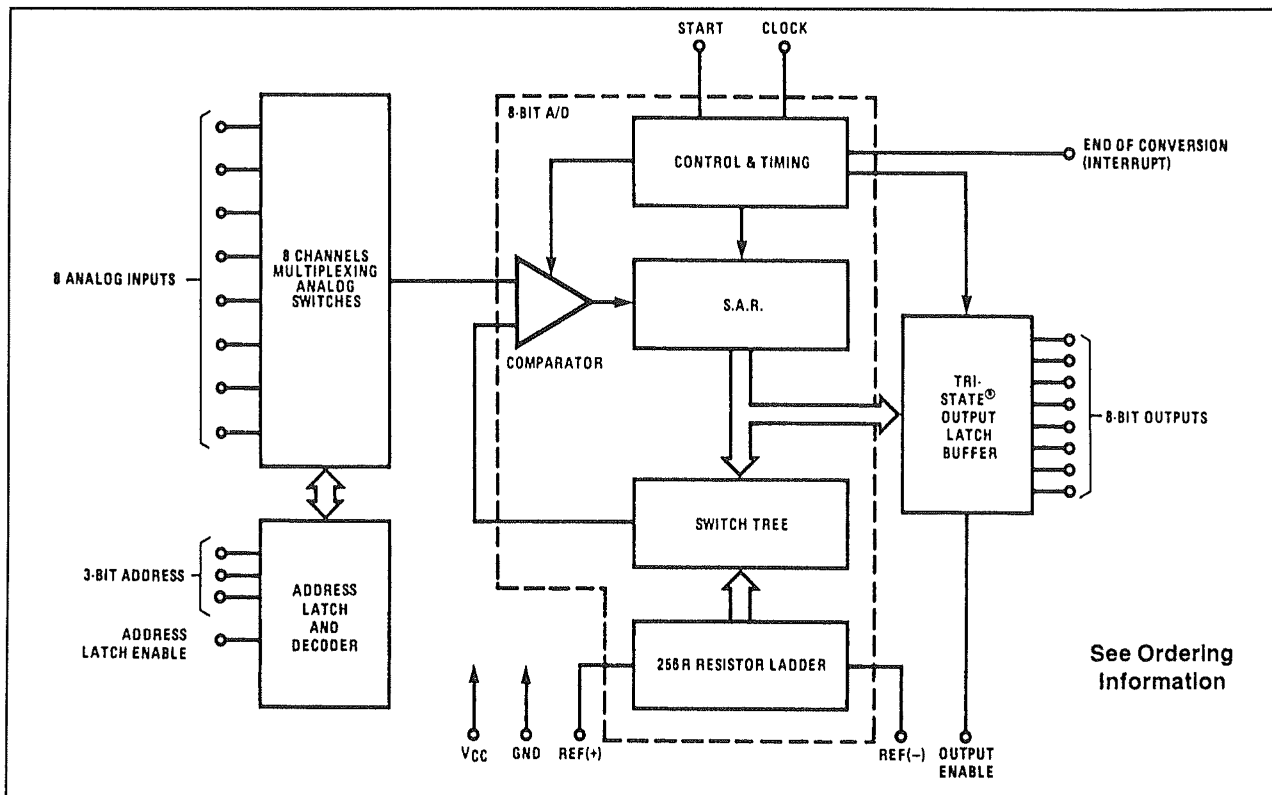



**Figuur 3/15.9-2:** Een alternatieve oplossing, die heel wat minder hardware vraagt.

In dit controlewoord zit informatie over welke analoge ingang bemonsterd moet worden en hoe dit signaal bemonsterd moet worden, bijvoorbeeld continu of eenmalig. Sommige schakelingen bieden hun digitale informatie rechtstreeks aan op de binaire uitgangen. Andere DAS-systemen hebben echter een ingebouwd geheugen, waarin de resultaten van de analoog naar digitaal omzettingen van alle ingangskanalen worden bewaard en op afroep ter beschikking staan. Sommige IC's hebben enkelvoudige ingangen, waarbij de analoge ingangsspanningen worden gerefereerd ten opzichte van de massa.

Andere schakelingen bieden echter de mogelijkheid symmetrische spanningen toe te voeren, doordat de ingangstrappen uit twee analoge multiplexers bestaan, waarvan de uitgangen zijn aangesloten op een ingebouwde verschilversterker.
Er is, kortom, voor ieder ontwerpprobleem wel een schakeling te vinden!
In de volgende drie subhoofdstukjes worden, ter verduidelijking, drie DAS-IC's uitgebreid voorgesteld. Het eerste IC behoort tot de eenvoudige acquisitiesystemen, het tweede is al iets ingewikkelder en beschikt over een intern geheugen en het derde moet volledig vanuit een processor bestuurd worden.

**15.9 Data acquisitie systemen, theorie en praktijk**




**Figuur 3/15.9-3:** Het intern blokschema van de ADC 0808.

# De ADC 0808 van NatSemi

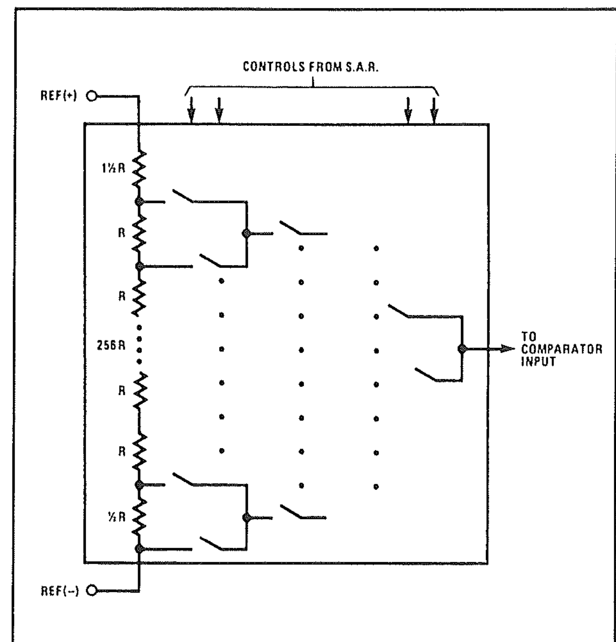
**Kennis making**
De ADC 0808 is een recht-toe-recht-aan data acquisitie systeem. Zoals uit het intern blokschema van figuur 3/15.9-3 blijkt, bestaat dit IC uit een analoge multiplexer met acht enkelvoudige ingangen. De ingangskanalen worden geselecteerd via de binaire code op drie adres-ingangen. Dit woord wordt, op commando van het "ADRESS LATCH ENABLE"-signaal, in een latch opgeborgen. De uitgang van de analoge multiplexer gaat naar een standaard ADC die werkt volgens het SAR-principe. Deze SAR wordt uiteraard gestuurd vanuit een clock en de uitgangen van dit register sturen een DAC. De uitgangsspanning van deze DAC wordt in een comparator vergeleken met de analoge spanning die op de uitgang van de analoge multiplexer staat. Als beide spanningen aan elkaar gelijk zijn, wordt de uitgangscode van de SAR in de uitgangslatch opgeborgen. De acht uitgangen van deze latch zijn tri-state uitgevoerd en kunnen dus rechtstreeks op de data-bus van een processor-systeem worden aangesloten. De gehele schakeling heeft maar vier controle-ingangen, namelijk:

- Address Latch Enable (ALE):
  Leest de gegevens op de adres-ingangen in de interne latch in en selecteert dus een van de acht ingangen.
- Start:
  Geeft het bevel tot het starten van een omzettingscyclus, waarbij de geselecteerde analoge ingangsspanning wordt omgezet in een binaire code.

**15.9 Data acquisitie systemen, theorie en praktijk**

- Output Enable:
  Stuurt de binaire uitgangen van het IC uit hun tri-state toestand en zet dus de binaire uitgangsgegevens op de uitgangspennen.
- End of Conversion:
  Geeft een signaal af als de SAR zijn binaire code zo heeft ingesteld, dat de uitgangsspanning van de ingebouwde DAC gelijk is aan de geselecteerde ingangsspanning.

**De omzetter**
De analoog naar digitaal omzetter in de ADC 0808 bestaat uit een resistieve spanningsdeler, een SAR en een comparator. De samenstelling van de resistieve spanningsdeler is getekend in figuur 3/15.9-4. Deze bestaat uit 256 identieke weerstanden en twee weerstanden van respectievelijk 1,5 en 0,5 deze waarde. De totale weerstandswaarde van deze serieschakeling bedraagt typisch 2,5 kΩ. De aftakkingen tussen de weerstanden zijn aangesloten op elektronische schakelaars, die gestuurd worden uit de uitgangen van de SAR. Het schakelaar netwerk stuurt een van de ingangen van de analoge comparator, de tweede ingang van deze comparator wordt verbonden met de geselecteerde analoge ingang. De SAR zal nu bepaalde schakelaars sluiten, totdat de uitgangsspanning van het schakelaar netwerk gelijk wordt aan de analoge ingangsspanning. Op dat moment staat op de acht binaire uitgangen van de SAR een binair getal, waarvan het binaire gewicht overeen komt met de waarde van de geselecteerde analoge ingangsspanning. In het algemeen kan men stellen, dat deze operatie slechts acht clock-pulsen in beslag neemt, zodat na deze tijd het "End of conversion"-signaal gegenereerd kan worden.



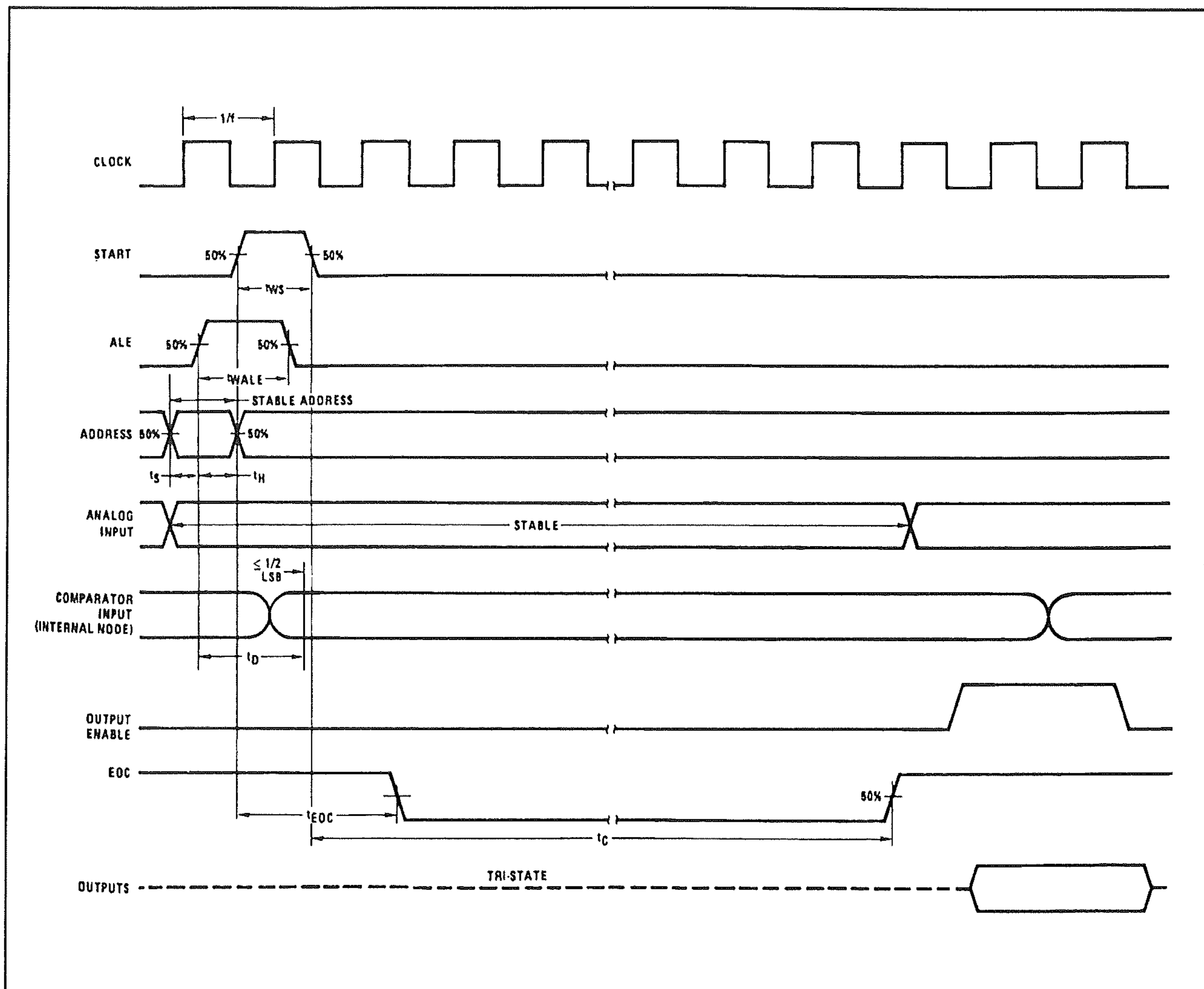

**Figuur 3/15.9-4:** Het resistieve netwerk in de ADC 0808.

| SELECTED ANALOG CHANNEL | ADDRESS LINE C | ADDRESS LINE B | ADDRESS LINE A |
|---|---|---|---|
| IN0 | L | L | L |
| IN1 | L | L | H |
| IN2 | L | H | L |
| IN3 | L | H | H |
| IN4 | H | L | L |
| IN5 | H | L | H |
| IN6 | H | H | L |
| IN7 | H | H | H |

**Figuur 3/15.9-5:** De waarheidstabel voor de selectie van de analoge ingangen.

**Het selecteren van de analoge ingangen**
De acht analoge ingangen worden geselecteerd door een drie bit brede code die op de ADD A, ADD B en ADD C ingangen wordt gezet.

**15.9 Data acquisitie systemen, theorie en praktijk**




**Figuur 3/15.9-6:** Het timing-diagram van één omzettingscyclus van de ADC 0808.

De waarheidstabel van deze selectie is weergegeven in figuur 3/15.9-5. Het op de ingangen aangemelde adres wordt in de interne latch opgenomen bij de "L" naar "H" overgang van het "ADRESS LATCH ENABLE"-signaal ALE.

**Timing van de schakeling**

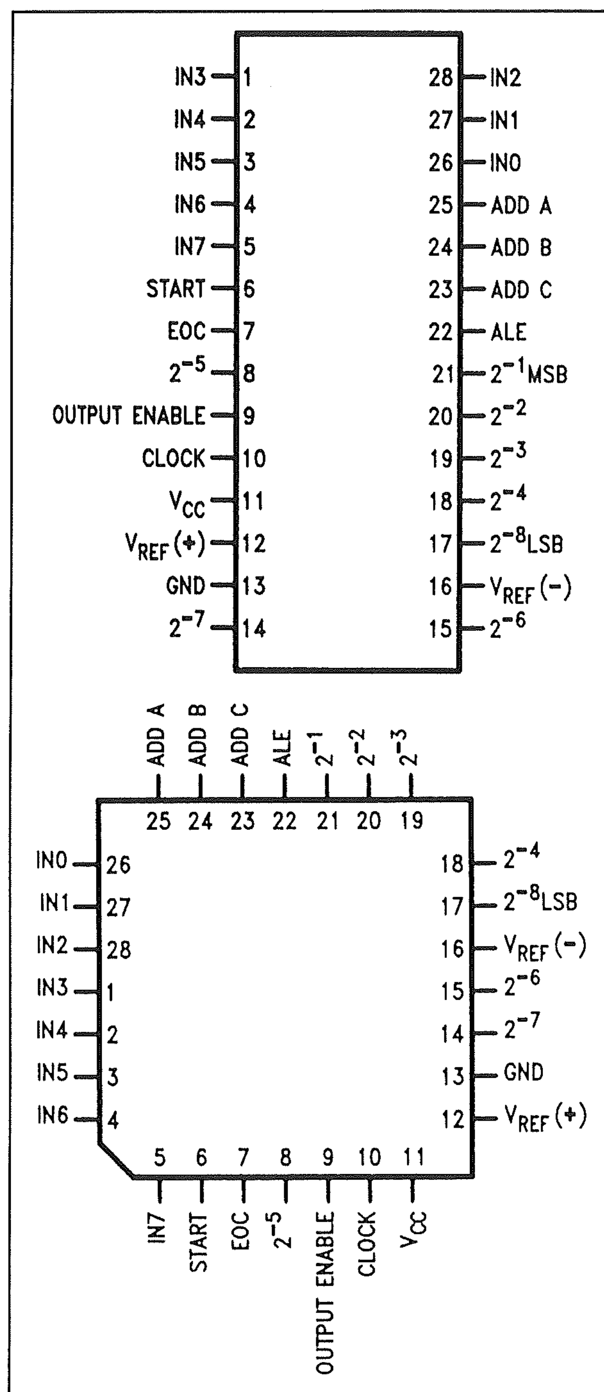
De volledige timing van de ADC 0808 is gegeven in figuur 3/15.9-6. De acht uitgangen van de SAR worden naar "L" gereset op de positieve flank van het "START CONVERSION"-signaal. De omzetting start bij de negatieve flank van dit signaal.

Het "END OF CONVERSION"-signaal gaat naar "H" na maximaal acht clockpulsen. Men kan dan een positief "OUTPUT ENABLE"-signaal aanleggen, waarna de acht binaire uitgangen van tri-state naar hun actieve waarde gaan en de resultaten van de omzetting kunnen worden uitgelezen.

**Praktische gegevens**

De ADC 0808 is leverbaar in zowel DIL-28 als in 28-pens chip carrier behuizing. De aansluitgegevens van beide uitvoeringen zijn gegeven in figuur 3/15.9-7.

**15.9 Data acquisitie systemen, theorie en praktijk**



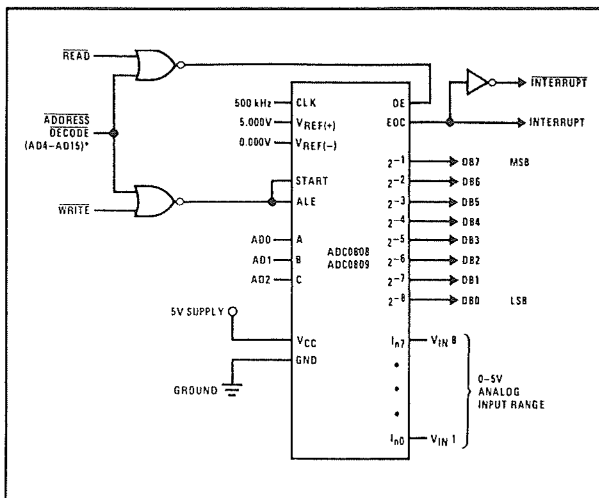

**Figuur 3/15.9-7:** De aansluitgegevens van de ADC 0808.

De schakeling wordt gevoed uit een voedingsspanning van +5 V en verbruikt slechts 15 mW vermogen. De weerstandsdeler is uitgevoerd naar de pennen $REF_+$ en $REF_-$. De positieve referentie pen kan verbonden worden met een externe referentiespanning, die maximaal gelijk mag zijn aan de voedingsspanning. De negatieve referentie pen ligt meestal aan de massa. Hiermee is al meteen duidelijk, dat de analoge ingangsspanningen kunnen variëren tussen +5 V en 0 V. De comparator vraagt een ingangsstroom van ongeveer 2 µA van de ingangsspanningen, zodat men vaak gebruik zal moeten maken van een buffer als de ingangsspanningen niet belast mogen worden.
De clock-frequentie mag maximaal gelijk zijn aan 1,2 MHz, waaruit een minimale conversie tijd van 100 µs afgeleid kan worden. Opgemerkt moet worden, dat de besturingsingangen niet TTL-compatibel zijn.
De maximale "L" spanning bedraagt namelijk 1,5 V, bij een voedingsspanning van +5 V en de minimale "H" spanning is gelijk aan +3,5 V. Dat zijn niveaus die echter zonder meer door CMOS-schakelingen geaccepteerd worden.

**Voorbeeld-schakeling**

In figuur 3/15.9-8 is een voorbeeldschakeling rond de ADC 0808 getekend, waarbij het IC wordt bestuurd uit een microprocessor. De $\overline{\text{READ}}$- en $\overline{\text{WRITE}}$-signalen zorgen respectievelijk voor het uitlezen van de gegevens en voor het starten van een omzetting. Natuurlijk moet de schakeling geadresseerd worden, waarvoor een negatief actief $\overline{\text{ADRESS DECODE}}$-signaal verantwoordelijk is. Dit signaal kan via een standaard adresdecoder afgeleid worden uit de hoogste bits van de adres-bus.
De drie laagste bits moeten natuurlijk vrij blijven, want hiermee moet men een van de acht analoge ingangen selecteren.

**15.9 Data acquisitie systemen, theorie en praktijk**




**Figuur 3/15.9-8:** Het besturen van de ADC 0808 uit een microprocessorsysteem.

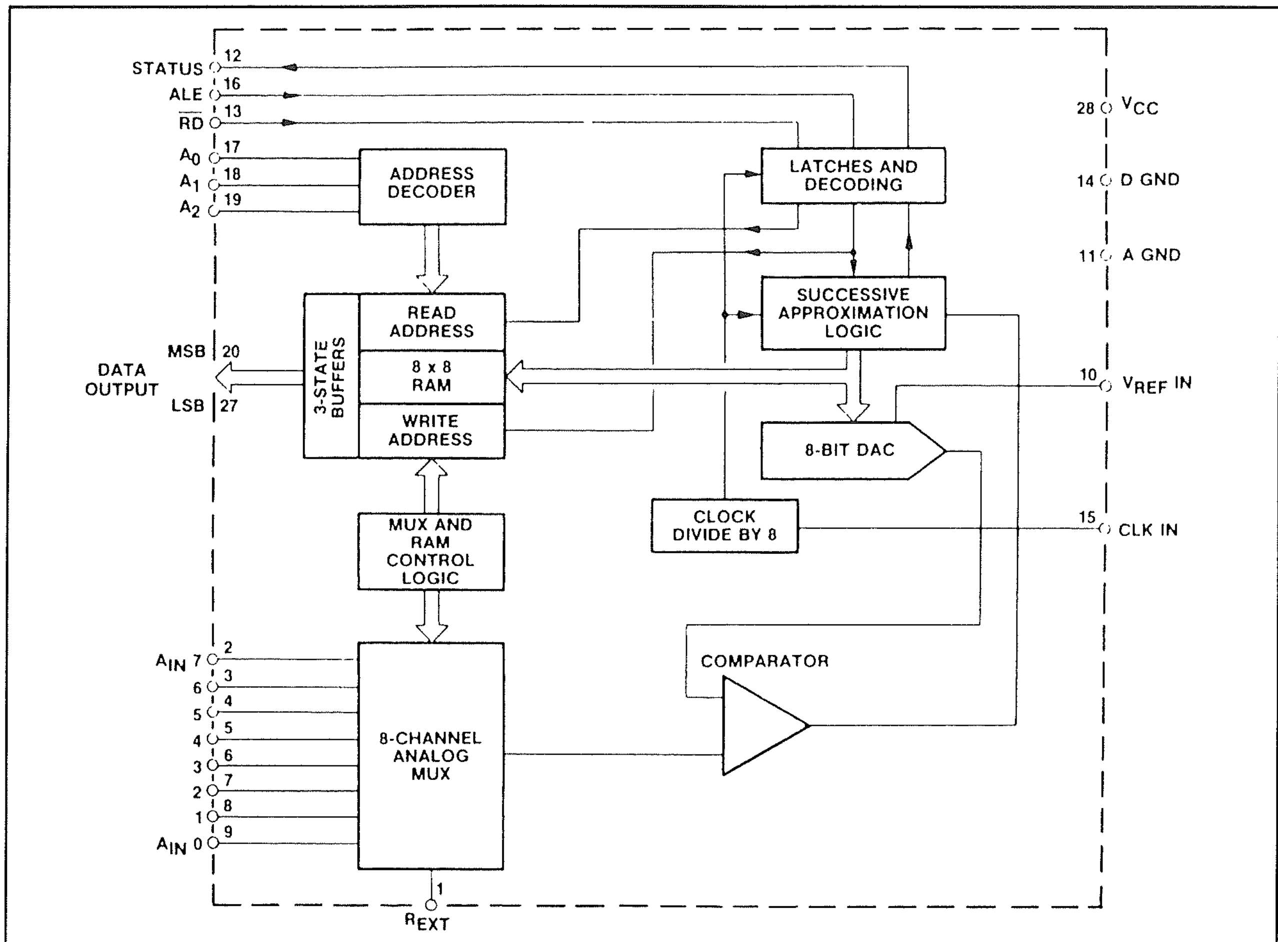
**Besluit**
De ADC 0808 is een heel overzichtelijke schakeling, die heel eenvoudig te besturen is. Natuurlijk heeft die eenvoud ook bepaalde nadelen. Het grootste nadeel is dat de gegevens niet in een intern geheugen worden opgeborgen, zodat de ontwerper/ster zélf extra schakelingen moet verzinnen (bijvoorbeeld latches) of de noodzakelijke software moet schrijven om het geheugen van een computer aan te spreken.

# De ZN 539 van Plessey

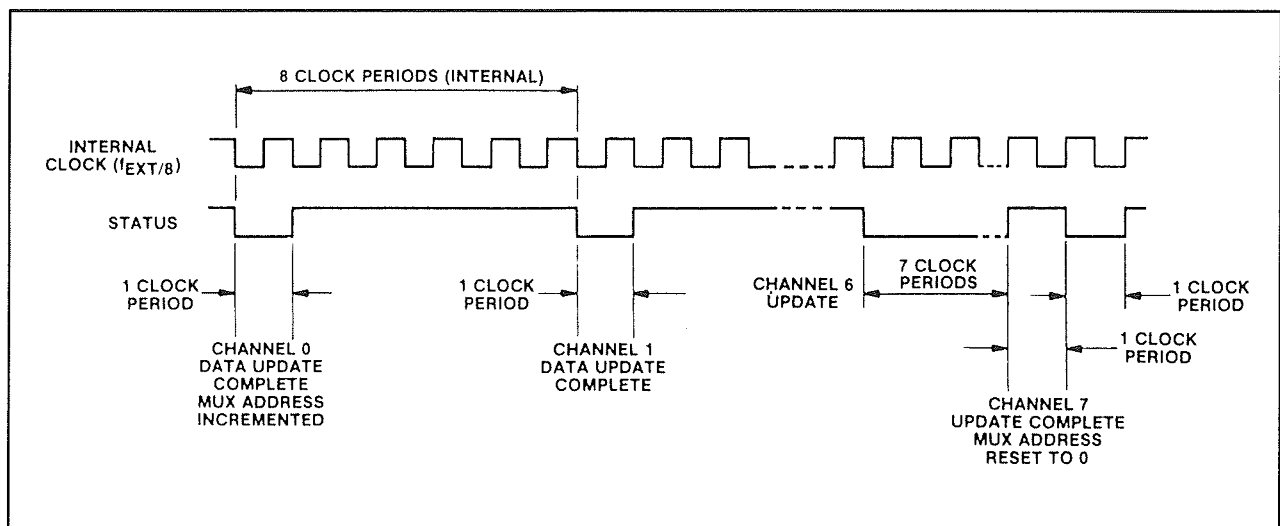
**Kennis making**
De ZN 539 van Plessey Semiconductors is een DAS-IC met acht analoge ingangen, die in een continu proces een na een worden bemonsterd. De binaire gegevens worden opgeslagen in een 8 x 8 RAM-geheugen en kunnen op ieder gewenst moment worden uitgelezen door drie adres-lijnen te adresseren en het $\overline{\text{RD}}$-signaal "L" te sturen. De schakeling wekt volgens het SAR-principe. De schakeling bevat een DAC, een snelle comparator, een SAR, een 8 x 8 RAM, tri-state uitgangsbuffers en de nodige logica om het gehele IC uit een µP-bus te besturen. De binaire uitgangen zijn tri-state en kunnen dus op een bus worden aangesloten. Er is geen interne referentie of clock-generator aanwezig. De interne comparator moet via een serie-weerstand verbonden worden met een negatieve spanning van maximaal -30 V.
De omzetter werkt in een continue mode, dat wil zeggen dat de acht ingangskanalen een na een worden bemonsterd en de gegevens in het RAM steeds automatisch worden ververst. Dank zij de dubbele buffer aan de uitgang kunnen de gegevens middels de adres-lijnen A0, A1 en A2 op willekeurige momenten worden uitgelezen, zonder dat de uitgelezen gegevens verstoord worden door het continue bemonsteringsproces.
Het intern blokschema van de ZN 539 is getekend in figuur 3/15.9-9.

**Beschrijving van de werking**
De acht analoge ingangen van de ZN 539 worden continu bemonsterd en de binaire gegevens worden in de juiste adressen van het 8 x 8 RAM-geheugen geschreven. Het begin van een conversie-cyclus wordt aangegeven door het "H" worden van de "STATUS". Na de achtste negatieve flank van de clock gaat "STATUS" weer naar "L" als teken dat één conversie is afgesloten. Op dat moment worden de gegeven in het RAM-geheugen ververst. "STATUS" blijft "L" gedurende zeven clock-perioden op het moment dat het zevende ingangskanaal wordt bemonsterd. Op deze manier is men in staat de volgorde van het bemonsteren van de ingangen te synchroniseren.

## 15.9 Data acquisitie systemen, theorie en praktijk

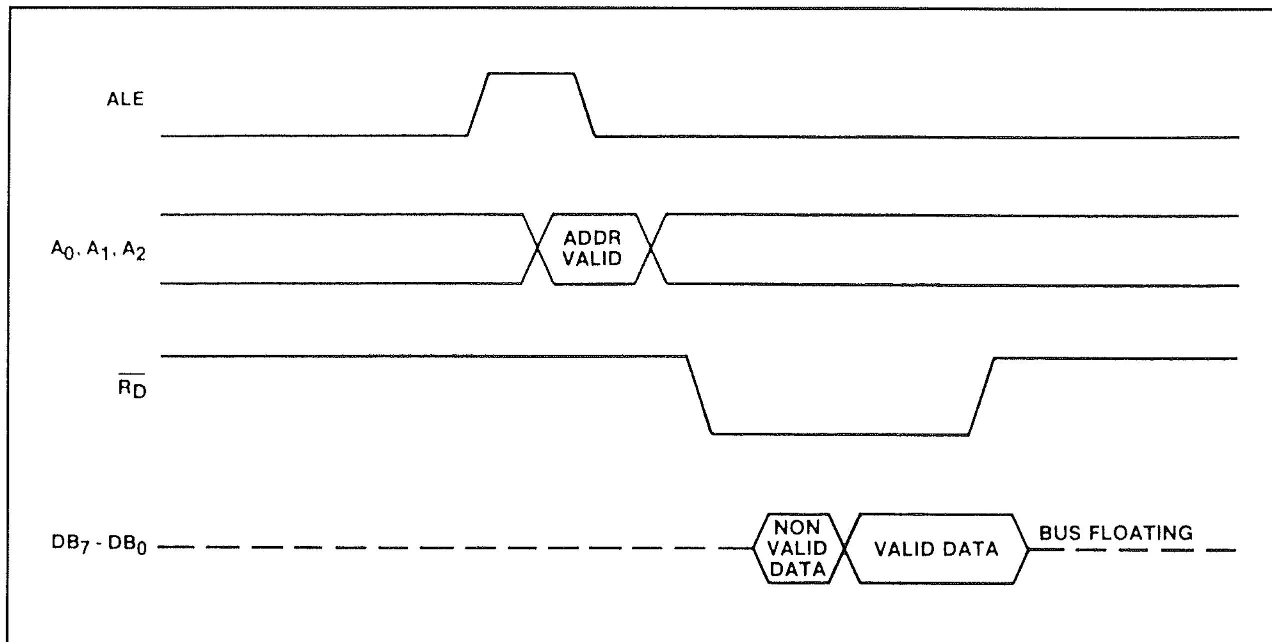



**Figuur 3/15.9-9:** Het intern blokschema van de ZN 539.




**Figuur 3/15.9-10:** Het verband tussen de STATUS-uitgang en de clock-pulsen. Let op de extra "L"-periode bij het verwerken van het zevende ingangskanaal!

**15.9 Data acquisitie systemen, theorie en praktijk**




**Figuur 3/15.9-11:** De besturing van de ZN 539 via de ingangen ALE en $\overline{RD}$.

Gegevens kunnen worden uitgelezen door A0, A1 en A2 te adresseren. Dit adres wordt ingelezen op het moment dat ALE "L" wordt. De negatieve flank van het $\overline{RD}$-signaal zorgt voor het transporteren van de geselecteerde data naar de uitgangslatches.

### Timing diagrammen

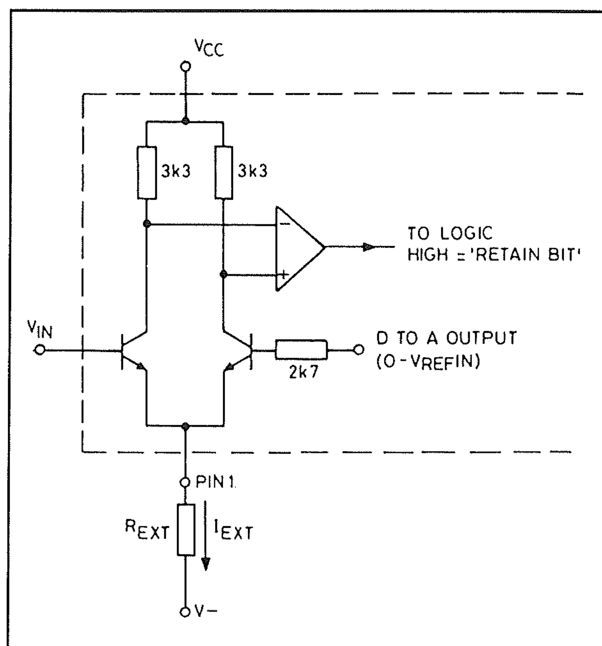
Het verband tussen de clock-pulsen en het gedrag van de "STATUS" volgt uit figuur 3/15.9-10. Hieruit blijkt duidelijk hoe men in staat is het inlezen van de zevende analoge ingang te detecteren.
In figuur 3/15.9-11 is de timing van de besturing getekend, met ALE en $\overline{RD}$ als de twee belangrijke besturingssignalen voor het selecteren van de digitale gegevens van een van de acht analoge ingangen en het op de data-uitgangen zetten van deze geselecteerde gegevens.

### De interne comparator

De ZN 539 bevat een comparator, die is opgebouwd volgens het schema van figuur 3/15.9-12. De ingang bestaat uit een differentiële versterker, die niet alleen gevoed wordt uit de positieve voedingsspanning $V_{CC}$, maar ook een negatieve voeding nodig heeft. Deze negatieve voeding wordt aangesloten via pen 1 ($R_{EXT}$), maar wel ***via een serie-weerstand.*** Deze negatieve hulpspanning hoeft niet gestabiliseerd te zijn en het stroomverbruik bedraagt slechts 150 µA. De waarde van de weerstand is afhankelijk van de grootte van de negatieve hulpspanning, die overigens maximaal -30 V mag bedragen. Uit de tabel van figuur 3/15.9-13 kan men de waarde van de weerstand afleiden. Natuurlijk is het vervelend dat dit IC deze negatieve spanning nodig heeft. Werkt men met een systeem dat voor de rest volledig gevoed wordt uit +5 V, dan kan de schakeling van figuur 3/15.9-14 verlichting brengen.
Hier wordt het clock-signaal gebruikt om de negatieve hulpspanning te genereren. De schakeling bestaat uit twee als darlington geschakelde transistoren, die een der-

**15.9 Data acquisitie systemen, theorie en praktijk**

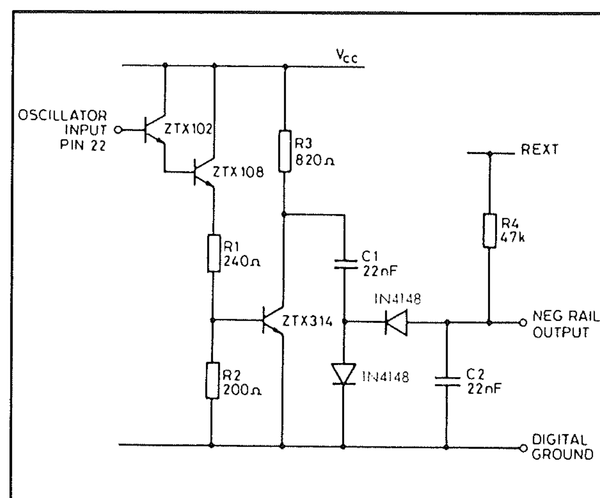
de transistor afwisselend in verzadiging en geleiding sturen. De collectorspanning van deze transistor laadt, respectievelijk ontlaadt de condensator C1. Over deze condensator ontstaat dus een blokvormige spanning, die via de diode 1N4148 op de massa geclampt wordt.




**Figuur 3/15.9-12:** De ingangsstructuur van de ingebouwde comparator.

| V₋ (volts) | $R_{EXT}$ (kΩ) |
|---|---|
| 3 | 47 |
| 5 | 82 |
| 10 | 150 |
| 12 | 180 |
| 15 | 220 |
| 20 | 330 |
| 25 | 390 |
| 30 | 470 |

**Figuur 3/15.9-13:** De waarde van de comparator-weerstand in functie van de grootte van de negatieve hulpspanning.



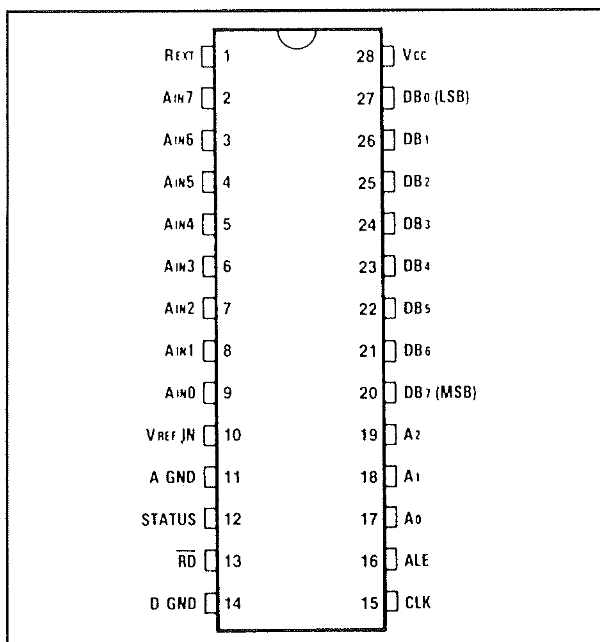

**Figuur 3/15.9-14:** Het genereren van de negatieve hulpspanning uit de clockpuls.

Het knooppunt van de beide dioden kan dus niet positiever worden dan +0,65 V. De negatieve blokspanning, die als gevolg van deze clamping ontstaat, wordt via de tweede diode gebruikt om de condensator C2 negatief op te laden. Deze negatieve hulpspanning wordt via de serieweerstand R4 aan pen 1 van de ZN 539 aangeboden.

**Praktische gegevens**

De ZN 539 wordt aangeboden in een DIL-28 behuizing, waarvan in figuur 3/15.9-15 de aansluitgegevens zijn getekend. De schakeling wordt gevoed uit een standaard +5 V voeding, waarbij een stroom van ongeveer 40 mA wordt opgenomen. Alle digitale in- en uitgangen zijn TTL-compatibel. De clock-frequentie mag maximaal 4 MHz bedragen, waarbij het signaal volledig symmetrisch moet zijn. Dit signaal kan opgewekt worden via de bekende TTL-schakelingen zoals een Schmitt-trigger poort. Bij deze maximale clock-frequentie bedraagt de omzettingstijd per kanaal 16 µs. De externe referentiespanning mag maximaal +3 V bedragen

en moet een inwendige weerstand van maximaal 0,75 Ω bezitten.
De referentie-ingang van de ZN 539 trekt ongeveer 1 mA uit deze bron. De analoge multiplexer en de comparator hebben een ingangsimpedantie van 10 MΩ, zodat de acht ingangen minimaal belast worden. De gemiddelde stroom per analoge ingang bedraagt immers slechts 10 nA!




**Figuur 3/15.9-15:** De aansluitgegevens van de ZN 539.

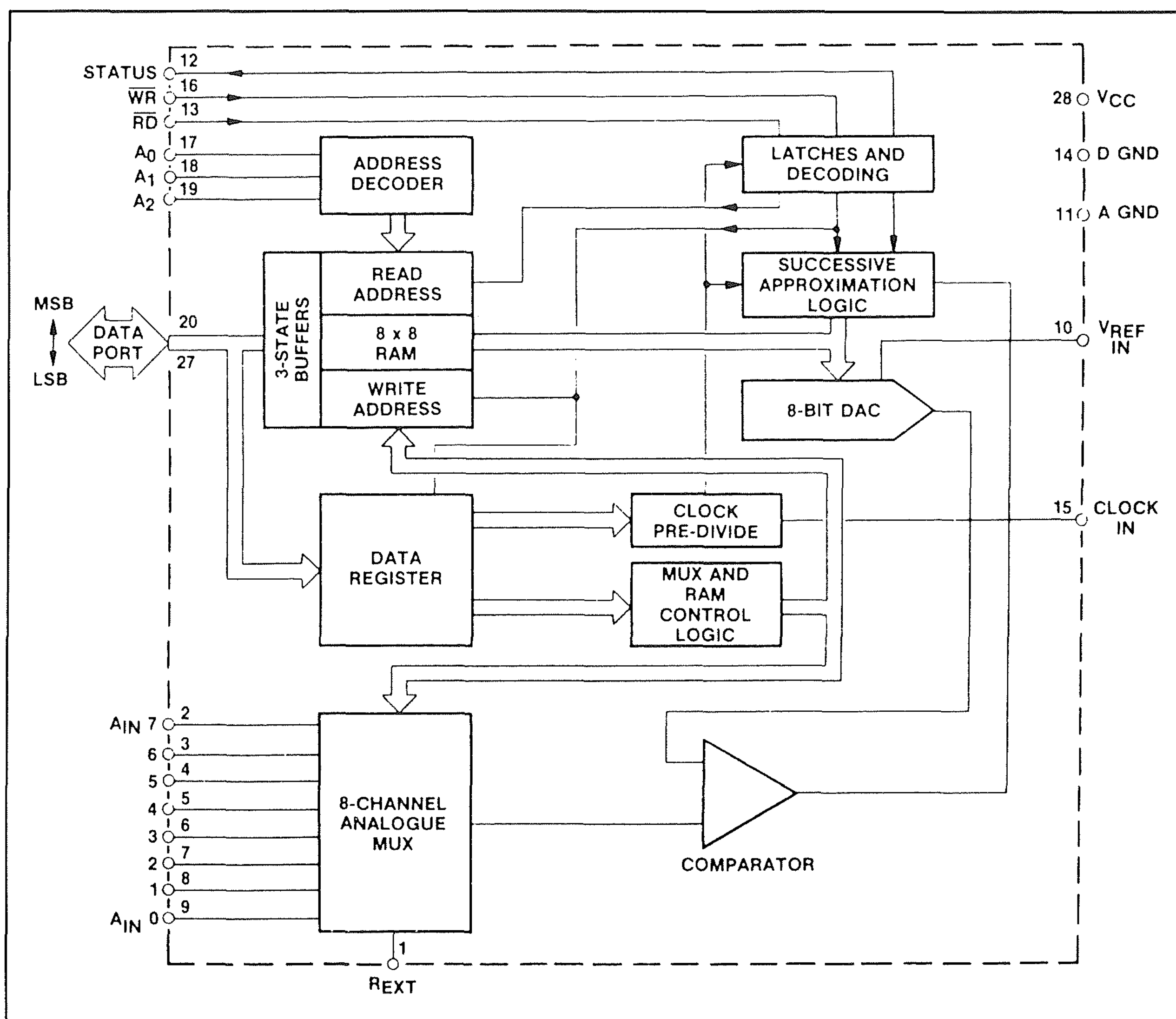
# De ZN 437 van Plessey

## Kennis making

De ZN 437 is een 8 kanaals, 8 bit brede DAS, die werkt volgens het SAR-principe. De schakeling heeft acht analoge ingangen, die door middel van een analoge multiplexer met de ingang van de comparator verbonden kunnen worden. De binaire gegevens van de acht analoge ingangen kunnen in een RAM worden opgeslagen en van daaruit op commando van besturingssignalen een na een uitgelezen worden op de data-bus. Hiervoor worden de signalen A0 tot en met A2 van een adres-bus gebruikt. De schakeling bevat een DAC, een snelle comparator, een SAR, een 8 x 8 RAM, tri-state uitgangsbuffers en de nodige logica om het gehele IC uit een μP-bus te besturen. De binaire uitgangen zijn tri-state en kunnen dus op een bus worden aangesloten.
De omzetter kan in een van de vier onderstaande modi werken:
- single shot conversie van een van de acht ingangen;
- single shot conversie van alle ingangen;
- continue bemonstering van een bepaalde ingang;
- continue bemonstering van alle ingangen.

De ingebouwde comparator moet via een externe serie-weerstand op pen 1 worden aangesloten op een negatieve voedingsspanning van maximaal -30 V. Zoals uit het blokschema van figuur 3/15.9-16 blijkt, vertoont de ZN 437 heel veel gelijkenis met de ZN 539. Dat is echter slechts schijn!
De besturing van het IC is veel complexer, maar biedt dan ook wel veel meer mogelijkheden. Zo is het blokje "CLOCK PREDIVIDE" te programmeren op deelfactoren van 1, 2 4 en 8, zodat de waarde van de intern gebruikte clockfrequentie volledig software-matig in te stellen is. Daarnaast kan men, via het blokje "MUX AND RAM CONTROL LOGIC" de werkingsmodus programmeren.
Tot slot zijn de binaire uitgangen bidirectioneel en worden bijgevolg "DATA PORT" genoemd. Natuurlijk worden via deze acht uitgangen de gegevens ter beschikking gesteld.

**15.9 Data acquisitie systemen, theorie en praktijk**




**Figuur 3/15.9-16:** Het intern blokschema van de ZN 437.

Maar via dezelfde acht pennen moet men een zogenoemd "CONTROL WORD", een controle-woord aanbieden, waarmee men het gehele IC kan programmeren.

**Beschrijving van de werking**

De ZN 437 accepteert maximaal acht analoge ingangsspanningen en wordt volledig geprogrammeerd door het 8 bit controle-woord. De resultaten van de SAR-omzetting worden automatisch in de juiste plaats van het 8 x 8 RAM-geheugen opgeborgen.

Het controle-woord wordt eerst op de acht pennen van de "DATA PORT" gezet en nadien in het IC geladen bij het verschijnen van de negatieve flank van het $\overline{WR}$-signaal.

De gegevens van het controle-woord worden opgeslagen in het "DATA REGISTER" en besturen van daaruit de "CLOCK PRE DIVIDE" en de "MUX AND RAM CONTROL LOGIC". De mode van de conversie, de ingangskanalen en de clockfrequentie worden bepaald door de inhoud van het controle woord.

**15.9 Data acquisitie systemen, theorie en praktijk**

| DB7 | DB6 | DB5 | DB4 | DB3 | DB2 | DB1 | DB0 |
|---|---|---|---|---|---|---|---|
| $\overline{\text{START}}$ | CLOCK PRE-DIVIDER | | $\overline{\text{CY}}$ | $\overline{\text{SQ}}$ | ANALOGUE INPUT | | |
| 1 | X | X | 1 | 1 | X | X | X |

**Figuur 3/15.9-17:** De samenstelling van het controle-woord en de invulling bij de initialisering.

| DB2 | DB1 | DB0 | CHANNEL SELECTED |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 2 |
| 1 | 1 | 0 | 3 |
| 0 | 0 | 1 | 4 |
| 1 | 0 | 1 | 5 |
| 0 | 1 | 1 | 6 |
| 1 | 1 | 1 | 7 |

**Figuur 3/15.9-18:** De samenstelling van de ingangsselectie code.

| DB6 | DB5 | DIVISION RATIO |
|---|---|---|
| 1 | 1 | 1 |
| 1 | 0 | 2 |
| 0 | 1 | 4 |
| 0 | 0 | 8 |

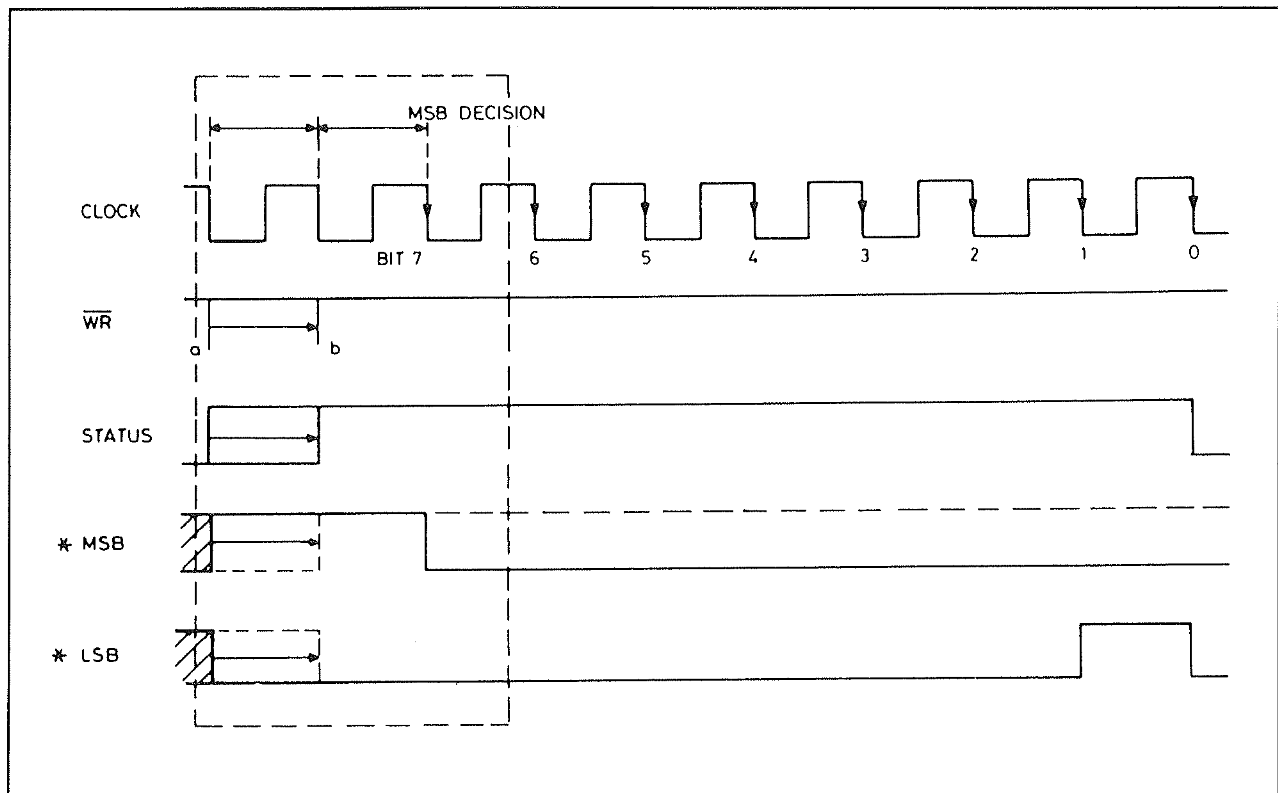
**Figuur 3/15.9-19:** De twee bits die de deelfactor voor de clock-frequentie bepalen.

De STATUS-uitgang gaat "H" op het moment dat een analoog naar digitaal omvorming start. De multiplexer aan de ingang selecteert een van de ingangen en voert deze toe aan de interne comparator, die de grootte van deze spanning vergelijkt met de uitgangsspanning van de DAC.
Op het moment dat de omzetting is voltooid, gaat STATUS naar "L". De gegevens worden dan weer ingeschreven in de ingebouwde RAM. De uitgangsgegevens kunnen worden uitgelezen door het juiste kanaaladres op de pennen A0 tot en met A2 te zetten, en $\overline{\text{RD}}$ "L" te maken. Op deze negatieve flank worden de geselecteerde gegevens uit het RAM getransporteerd naar de uitgangsbuffers, die bovendien uit de tri-state toestand ontwaken.

**Het controle woord**

Na het aanleggen van de voedingsspanning moet de ZN 437 geïnitialiseerd worden door het aanleggen van het controlewoord. Dit controle-woord bestaat uit acht bits, waarvan de functie is weergegeven in figuur 3/15.9-17. Bij dit eerste initialiserings controle-woord moeten de bits $\overline{\text{START}}$, $\overline{\text{SQ}}$ en $\overline{\text{CY}}$ in ieder geval "L" zijn.
De functie van de bits in het controlewoord is als volgt:

## 15.9 Data acquisitie systemen, theorie en praktijk




**Figuur 3/15.9-20:** De timing van de ZN 437.

- ANALOGUE INPUT
  Een drie bit brede binaire code voor de selectie van de ingangen. De samenstelling van deze code is gegeven in figuur 3/15.9-18. Deze code moet alleen in het woord opgenomen worden als de conversie specifiek op één kanaal van toepassing moet zijn.
- SEQUENCE $\overline{SQ}$
  Een aktief lage ingang, die geactiveerd moet worden als alle ingangen sequentieel bemonsterd moeten worden.
- CYCLING $\overline{CY}$
  Een aktief lage ingang, die geactiveerd moet worden als alle kanalen continu bemonsterd moeten worden.
- CLOCK PRE DIVIDER
  Een twee bit brede code, die aangeeft met welke factor de externe clockfrequentie gedeeld wordt, volgens de tabel van figuur 3/15.9-19.
- $\overline{START}$
  Een "H" naar "L" overgang op dit bit start een omzetting.

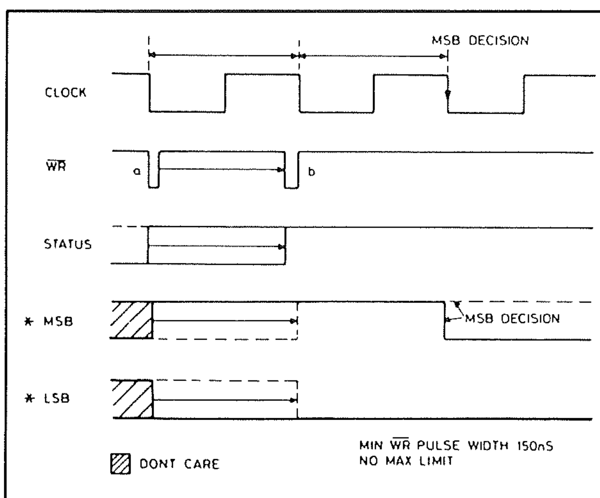
Het controle-woord moet aanwezig zijn op de data-bus en wordt in het IC gelatched bij de positieve flank van het $\overline{WR}$-signaal. Dit signaal is altijd noodzakelijk als een nieuw controle woord noodzakelijk is.

**Timing van de omzetting**

Na het inladen van het controle woord wordt de omzetting gestart door het "L" gaan van het $\overline{WR}$-signaal. Deze puls hoeft niet gesynchroniseerd te zijn met de clock en moet een minimale breedte van 150 ns hebben. De timing van de schakeling is weergegeven in figuur 3/15.9-20. Het belangrijkste deel van de timing is omgeven door een stippellijn en wordt nog eens vergroot voorgesteld in figuur 3/15.9-21.

**15.9 Data acquisitie systemen, theorie en praktijk**

De $\overline{\text{WR}}$-puls moet een minimale breedte van 150 ns bezitten, terwijl aan de maximale pulsbreedte geen beperkingen worden gesteld. Wel is het zo dat de inhoud van het controle-woord niet mag veranderen en dat $\overline{\text{RD}}$ niet "L" mag worden terwijl $\overline{\text{WR}}$ "L" is. Het meest belangrijke bit van de ingebouwde DAC (MSD) heeft minstens 2 μs de tijd nodig om op de juiste waarde gezet te worden. Om er zeker van te zijn dat steeds aan deze conditie kan worden voldaan, wacht het IC op een dalende flank van de clock-puls alvorens met de omzetting te starten. Zelfs met de maximale clock-frequentie van 500 kHz heeft de converter dan toch nog 2 μs de tijd om zich te settlen.




**Figuur 3/15.9-21:** Het belangrijkste deel van de timing-cyclus uitvergroot.

### Conversie modi

Zoals reeds geschreven kan men bij de ZN 437 vier verschillende conversie-modi instellen:

- mode 1:
  single shot conversie van een van de acht ingangen;
- mode 2:
  continue bemonstering van een bepaalde ingang;
- mode 3:
  single shot conversie van alle ingangen;
- mode 4:
  continue bemonstering van alle ingangen.

De mode wordt bepaald door de samenstelling van de $\overline{\text{CY}}$- en $\overline{\text{SQ}}$-bits van het controle-woord.

### Mode 1

De samenstelling van het controle woord voor deze mode is getekend in figuur 3/15.9-22. De omzetting wordt gestart door het "L" worden van DB7. De STATUS-uitgang gaat naar "H" en de interne clock wordt gestart. Na de omzetting gaat STATUS naar "L" en de interne clock wordt gestopt. De samenstelling van het controle woord in het register wordt nu automatisch gereset naar "H" en de schakeling is klaar voor het ontvangen van de volgende opdracht.

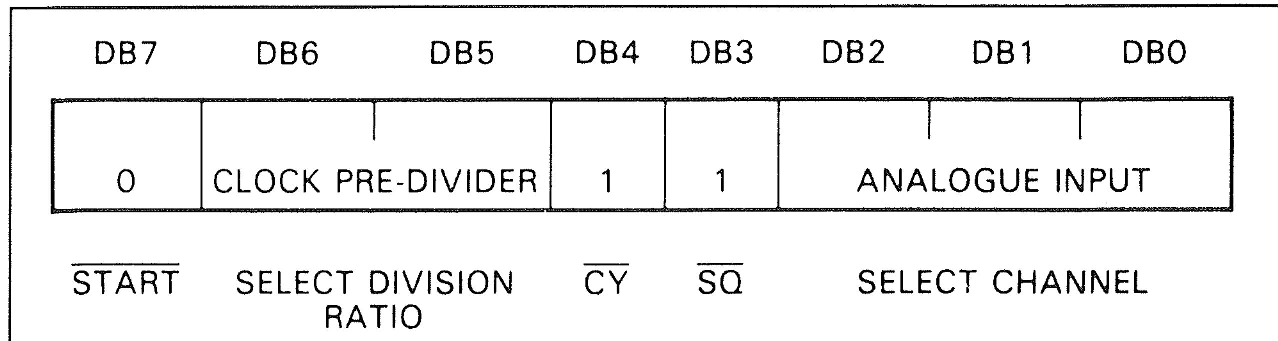
### Mode 2

Een continue bemonstering van een specifieke ingang wordt ingeleid door het "L" gaan van $\overline{\text{START}}$. Na iedere conversie bekijkt de interne logica de logische waarde op $\overline{\text{CY}}$. Is deze nog steeds "L", zie figuur 3/15.9-23, dan wordt een volgende omzetting gestart. Is dit bit echter "H" (door het schrijven van een nieuwe controle woord), dan wordt de omzetting gestopt.

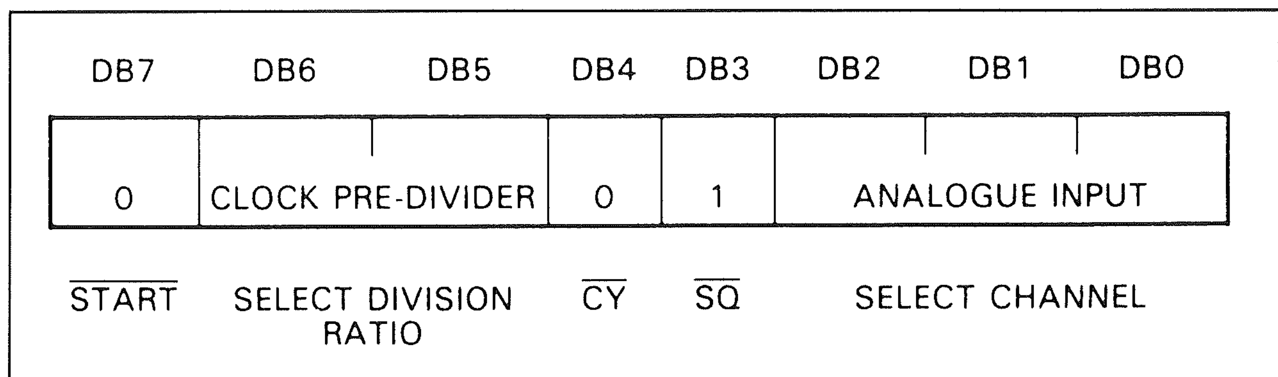
### Mode 3

Door het controle woord de samenstelling te geven van figuur 3/15.9-24 start de ZN 437 met het een na een bemonsteren van alle ingangen. De samenstelling van de drie eerste bits van het woord is nu uiteraard niet van belang. De omzetting start weer door het "L" worden van de $\overline{\text{START}}$. De STATUS-uitgang wordt "H" en de interne clock wordt gestart.

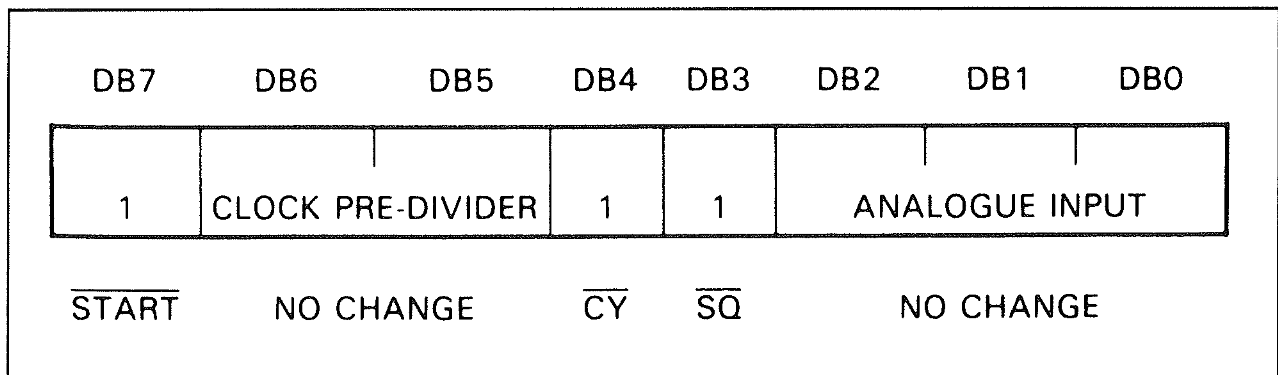
**15.9 Data acquisitie systemen, theorie en praktijk**



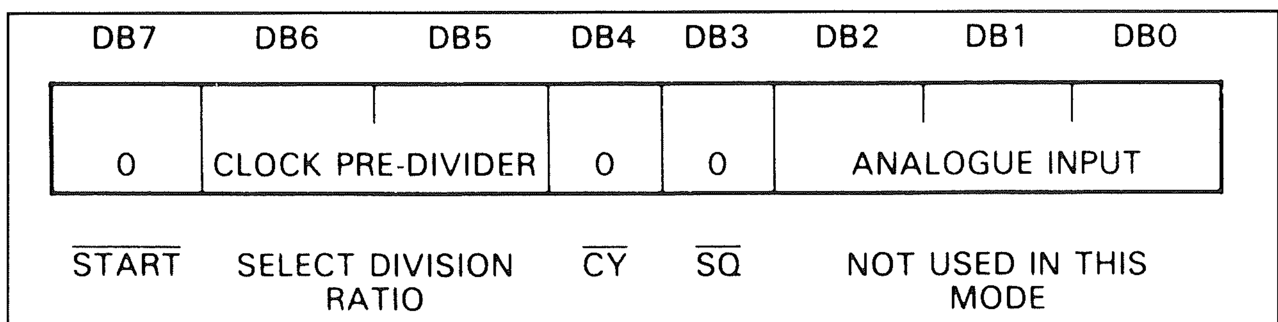

**Figuur 3/15.9-22:** De samenstelling van het controle woord bij mode 1.




**Figuur 3/15.9-23:** De samenstelling van het controle woord voor een mode 2 werking.




**Figuur 3/15.9-24:** De samenstelling van het controle woord voor mode 3.




**Figuur 3/15.9-25:** De samenstelling van het controle woord voor mode 4.

Nadat alle ingangen zijn afgescand en de resultaten in het interne RAM-geheugen zijn opgeslagen, wordt de cyclus beëindigd. Het in het register opgeslagen controle woord wordt weer gevuld met "H"'s.

**Mode 4**

Voor mode 4 moeten $\overline{\text{CY}}$ en $\overline{\text{SQ}}$ "L" worden gemaakt (zie figuur 3/15.9-25). Een cyclus start weer door het "L" worden van $\overline{\text{START}}$. Nadat ingangskanaal 7 bemonsterd is, wordt weer begonnen met het bemonsteren van kanaal 0. Er zijn twee methodes om het bemonsteren te beëindigen. In eerste instantie kan een nieuw controle woord geschreven worden, met $\overline{\text{SQ}}$, $\overline{\text{CY}}$ en $\overline{\text{START}}$ "H".
De aan de gang zijnde omzetting wordt voltooid, nadien wordt de schakeling gereset. Maakt men echter alleen $\overline{\text{START}}$ en $\overline{\text{CY}}$ "H", dan wordt een volledige cyclus (dus tot en met analoge ingang 7) afgerond en gaat het IC nadien naar de wachtstand.

**Het uitlezen van de data**

De gegevens in het 8 x 8 RAM worden geselecteerd door de drie laagste adreslijnen A0 tot en met A2 volgens de gegevens in de tabel van figuur 3/15.9-26. De gegevens op de adres-bus worden ingelezen op het moment dat $\overline{\text{RD}}$ "L" gaat.
De acht data-poorten, via dewelke de gegevens ter beschikking komen, zijn bidirectionele in/uitgangen, die in tri-state geschakeld kunnen worden door het "H" worden van het $\overline{\text{RD}}$-signaal.

**De clock**

De clock-ingang van de ZN 437 moet gestuurd worden met TTL-compatibele signalen met een maximale frequentie van 4 MHz. Bij deze frequentie moet de interne frequentie-deler echter worden ingesteld op :8, dit vanwege de maximale interne clock van 0,5 MHz.

| $A_2$ | $A_1$ | $A_0$ | CHANNEL TO BE READ |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 2 |
| 0 | 1 | 1 | 3 |
| 1 | 0 | 0 | 4 |
| 1 | 0 | 1 | 5 |
| 1 | 1 | 0 | 6 |
| 1 | 1 | 1 | 7 |

**Figuur 3/15.9-26:** Het selecteren van de gegevens die in het RAM-geheugen opgeslagen zijn.

**Het analoge deel van de schakeling**

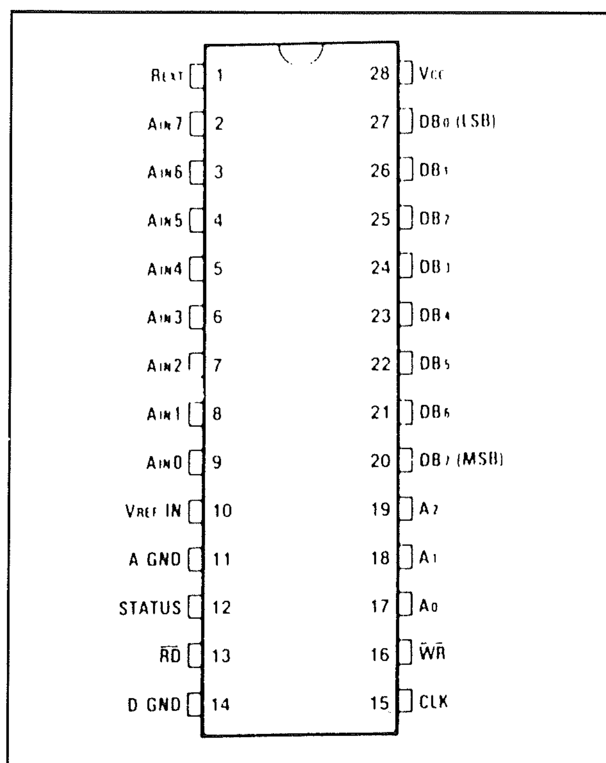
De ZN 437 heeft een externe referentie nodig met een spanning van maximaal +3,0 V. Deze spanning wordt aangesloten tussen de pennen 10 en 11. De impedantie van de externe referentie-bron moet kleiner zijn dan 2,5 Ω.
De snelle comparator moet via een serieweerstand op pen 1 aangesloten worden op een negatieve voedingsspanning. Bij een voeding van -5 V moet deze weerstand gelijk zijn aan 1,8 kΩ.

**Praktische gegevens**

De ZN 437 is ondergebracht in een DIL-28 behuizing, waarvan de aansluitgegevens zijn getekend in figuur 3/15.9-27. De voedingsspanning bedraagt +5 V, waarbij een maximale stroom van 45 mA wordt opgenomen. De ingangsstromen van de analoge ingangen bedragen maximaal 10 nA, over een ingangsimpedantie van 10 MΩ. De analoge ingangssignalen worden bij voorkeur via kleine serie-weerstanden met

**15.9 Data acquisitie systemen, theorie en praktijk**

de analoge pennen van het IC verbinden. Deze weerstanden beschermen de analoge multiplexer en de comparator tegen te grote spanningen.

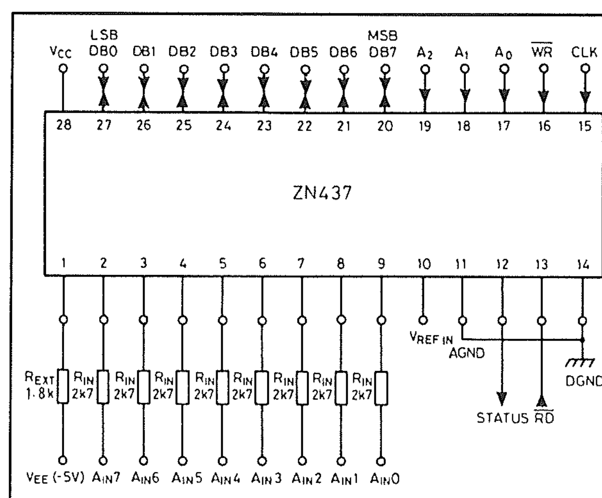


Figuur 3/15.9-27: De aansluitgegevens van de ZN 437.

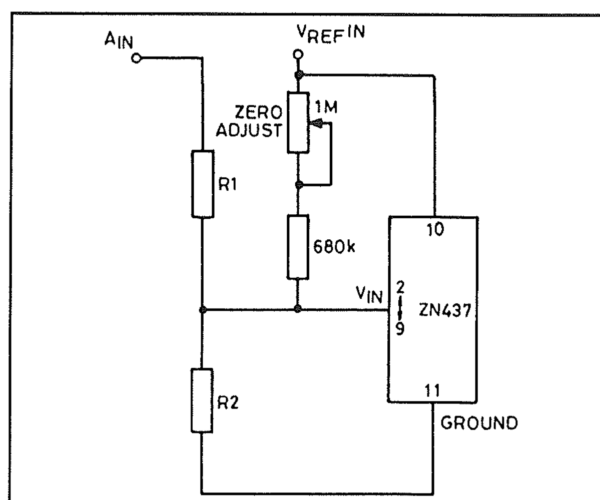
De interne clock-frequentie mag een maximale waarde hebben van 0,5 MHz, waarbij de ZN 437 bemonstert in 16 µs. De externe clock mag gestuurd worden met een signaal met een frequentie van maximaal 4 MHz, waarbij de interne deelfactor dan wel middels het controle-woord moet ingesteld worden op 8.

**Werken met de ZN 437 in de praktijk**

In figuur 3/15.9-28 is het basisschema getekend voor het werken met de ZN 437. In dit geval is het spanningsbereik van de analoge ingangen beperkt tot de waarde van de referentiespanning. Let op de serie-weerstanden van 2,7 kΩ in de analoge ingangslijnen! Grotere spanningsbereiken zijn natuurlijk mogelijk door resistieve spanningsdelers in de ingangen op te nemen. Door dit te doen volgens het schema van figuur 3/15.9-29, kan men iedere ingang voorzien van een nul-afregeling.

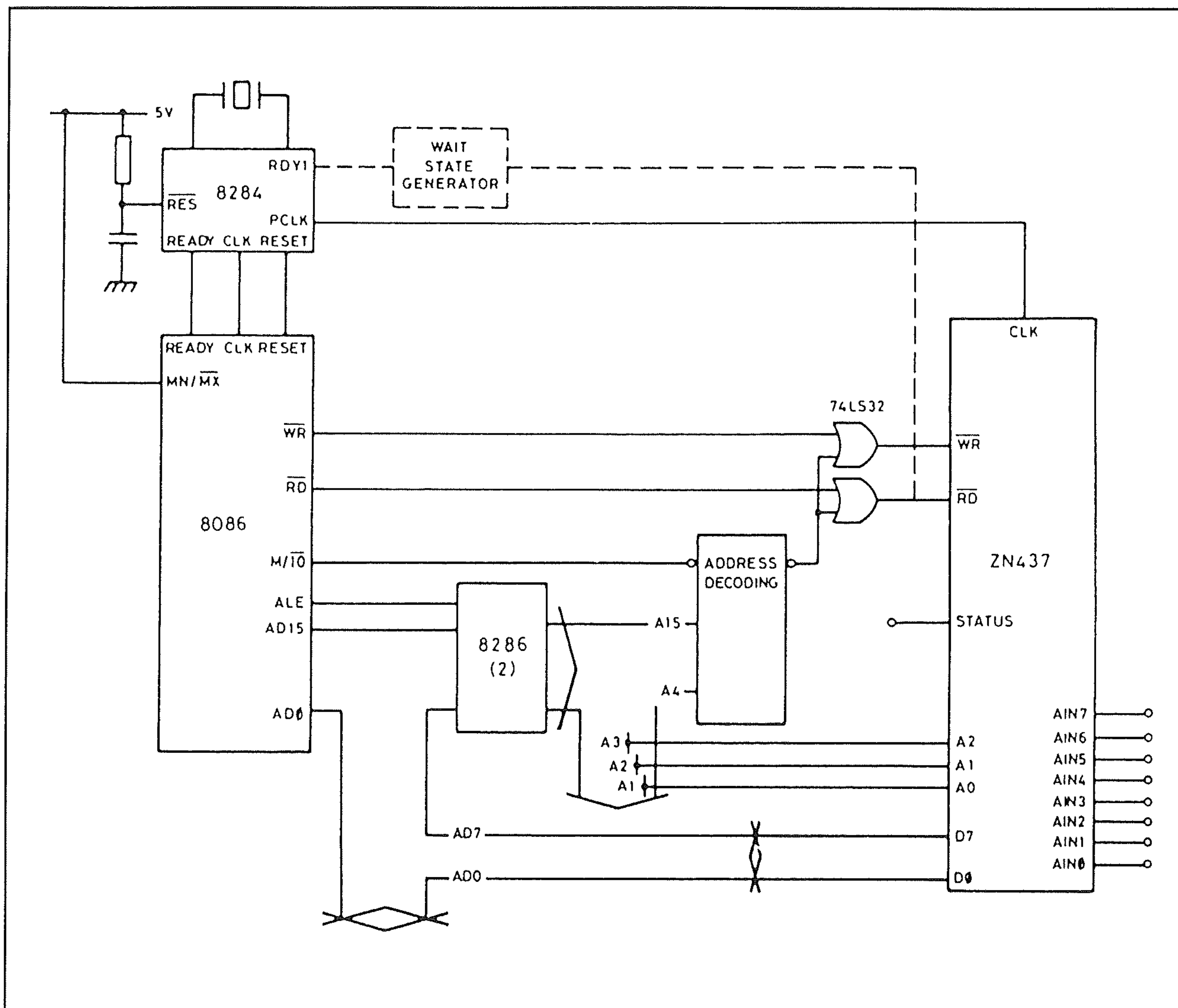



Figuur 3/15.9-28: Het basisschema rond de ZN 437.




Figuur 3/15.9-29: Het verhogen van het ingangsspanningsbereik en het invoeren van een nul-afregeling.

**15.9 Data acquisitie systemen, theorie en praktijk**




**Figuur 3/15.9-30:** Het interfacen van de ZN 437 op een lid van de Intel-familie van microprocessoren.

De weerstandsdeler R1/R2 moet zo berekend worden dat de maximale waarde van de ingangsspanning $A_{IN}$ op de ingangspen een waarde genereert, die precies gelijk is aan de toegepaste referentiespanning. Natuurlijk zal het in de praktijk noodzakelijk zijn een van de twee weerstanden van de spanningsdeler te vervangen door een vaste weerstand en een kleine, in serie geschakelde instelpotentiometer. Hiermee kan men iedere ingang afzonderlijk ijken. Heeft men te maken met bipolaire ingangsspanningen, dus spanningen die zowel positief als negatief kunnen zijn, dan kan men dezelfde schakeling toepassen. Het enige verschil is dat de waarde van de weerstand tussen de referentie en de ingangs-pen van de ZN 437 zo klein moet zijn dat, bij 0 V aan de ingang, er op de ingangspen van het IC precies de helft van de referentie-spanning staat. Op deze manier wordt het werkpunt van de omzetter positief verschoven met een waarde die gelijk is aan de helft van de referentie-spanning. Een maximale negatieve spanning aan de in-

**15.9 Data acquisitie systemen, theorie en praktijk**

gang komt dan overeen met exact 0 V aan de ingang van het IC, zodat de omzetter op zich wel unipolair werkt, terwijl er toch bipolaire spanningen op de ingang kunnen staan.

**De ZN 437 en microprocessoren**

De ZN 437 is een prachtige en universele schakeling. Het enige vervelende is het programmeren met het controle-woord. Dit woord moet op de uitgangen worden aangesloten en hardwarematig is dat een nogal ingewikkelde klus. Het ligt dus voor de hand de ZN 437 vanuit een microprocessor te besturen, die er natuurlijk bijzonder weinig moeite mee heeft om zijn data-bus de ene keer te gebruiken voor het schrijven van het controle-woord naar het IC en de volgende keer diezelfde databus te gebruiken voor het lezen van de gegevens van de ZN 437. In figuur 3/15.9-30 is het standaard schema getekend om een ZN 437 te interfacen op een lid van de Intel 80xxx-serie processoren. De ZN 437 wordt door de processor gezien als een randapparaat en moet dus als dusdanig geadresseerd worden. Dat kan via de standaard adresseertechnieken (zie hoofdstuk 3/6.18) vanuit de adreslijnen A4 tot en met A15. Het principe is eenvoudig: de adres-decoder vergelijkt een bepaald adres op de adres-bus met een adres dat is ingesteld met DIP-schakelaartjes en maakt zijn uitgang "H" op het moment dat beide adressen identiek zijn. Deze hoge uitgang wordt gebruikt om de $\overline{WR}$- en $\overline{RD}$-signalen van de processor aan de ZN 437 aan te bieden via de 74LS32. De clock voor de omzetter kan worden afgeleid uit de systeemklok van de processor. Hiervoor zou bijvoorbeeld de 8284 clockgenerator gebruikt kunnen worden. Gebruikt het systeem een clock-frequentie van 8 MHz, dan moet de interne "PREDEVIDE" in ieder geval op de maximale waarde worden ingesteld. Gebruikt het systeem een hogere clockfrequentie, dan moet men externe delers tussen schakelen. De acht pennen van de "DATA PORT" kunnen natuurlijk rechtstreeks verbonden worden met de acht laagste lijnen van de data-bus van de processor. Vanwege de speciale manier waarop de 80xxxprocessoren omgaan met lees- en schrijfcyclussen wordt aanbevolen voor het uitlezen van de acht maal acht gegevens uit het interne RAM de I/O-adressen te gebruiken, die zijn samengevat in figuur 3/15.9-31. Zet men dan bijvoorbeeld adres $1004_{hex}$ op de adres-bus, dan worden de binaire gegevens die overeen komen met analoog ingangssignaal nummer 1 uit het geheugen van de ZN 437 gehaald en op de data-bus gezet.

| IO address | ZN437 RAM address | Corresponding input channel |
|---|---|---|
| 1000 | 0 | $A_{IN}$ 0 |
| 1002 | 1 | $A_{IN}$ 1 |
| 1004 | 2 | $A_{IN}$ 2 |
| 1006 | 3 | $A_{IN}$ 3 |
| 1008 | 4 | $A_{IN}$ 4 |
| 100A | 5 | $A_{IN}$ 5 |
| 100C | 6 | $A_{IN}$ 6 |
| 100E | 7 | $A_{IN}$ 7 |

**Figuur 3/15.9-31:** De aanbevolen adressering voor het uitlezen van de gegevens uit het geheugen van de ZN 437.

De "WAIT STATE GENERATOR", geschakeld russen de $\overline{RD}$-ingang van de ZN 437 en de RDY1 van de clock-generator is noodzakelijk bij snelle systemen, die een acces-tijd van minimaal 130 ns hebben.

## 15.9 Data acquisitie systemen, theorie en praktijk